

Attorney Docket No.: 2102475-992060

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Nobutaka KITAGAWA

Serial No. Not yet assigned

Group Art Unit: Not yet assigned

Filed: March 29, 2004

Examiner: Not yet assigned

Title: SEMICONDUCTOR DEVICE HAVING PROTECTION DEVICE FOR
PROTECTING INTERNAL DEVICE

EXPRESS MAIL NUMBER: EV 302280496 US

DATE OF DEPOSIT: March 29, 2004

I hereby certify that this paper is being deposited with the United States Postal Service "EXPRESS MAIL Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Susan Pique

* * *

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NO.</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-110461	April 15, 2003

The certified copy of the corresponding Convention Application is enclosed.

Respectfully submitted,

GRAY CARY WARE & FREIDENRICH LLP

Dated: March 29, 2004

By



EDWARD B. WELLER

Reg. No. 37,468

Attorney for Applicant

GRAY CARY WARE & FREIDENRICH

2000 University Avenue

Palo Alto, CA 94303-2248

Telephone: (650) 833-2436

Facsimile: (650) 833-2001



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 5 日
Date of Application:

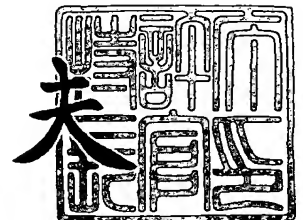
出 願 番 号 特 願 2 0 0 3 - 1 1 0 4 6 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 1 0 4 6 1]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 2 月 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 泰



【書類名】 特許願

【整理番号】 A000206357

【提出日】 平成15年 4月15日

【あて先】 特許庁長官 殿

【国際特許分類】 H02H 9/00
H01L 21/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 北川 信孝

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 第 1 ウェル領域と、前記第 1 ウェル領域内に形成された第 1 半導体素子とを有する内部回路と、

前記第 1 ウェル領域よりも不純物濃度が低い第 2 ウェル領域と、前記第 2 ウェル領域内に形成された第 2 半導体素子とを有し、前記第 1 半導体素子を保護するための保護回路と

を具備することを特徴とする半導体装置。

【請求項 2】 第 1 ウェル領域と、前記第 1 ウェル領域内に形成された第 1 半導体素子とを有する内部回路と、

前記第 1 ウェル領域よりも深さが深い第 2 ウェル領域と、前記第 2 ウェル領域内に形成された第 2 半導体素子とを有し、前記第 1 半導体素子を保護するための保護回路と

を具備することを特徴とする半導体装置。

【請求項 3】 第 1 ウェル領域と、前記第 1 ウェル領域内に形成された第 1 半導体素子とを有する内部回路と、

前記第 1 ウェル領域よりも不純物濃度が低く、且つ深さが深い第 2 ウェル領域と、前記第 2 ウェル領域内に形成された第 2 半導体素子とを有し、前記第 1 半導体素子を保護するための保護回路と

を具備することを特徴とする半導体装置。

【請求項 4】 前記第 2 半導体素子は、外部接続端子に接続された電流経路の一端と、接地電位に接続された電流経路の他端とを備え、

前記第 1 半導体素子は、前記外部接続端子に接続された入出力端子を備え、

前記第 2 半導体素子は、前記外部接続端子から入力された電流を、前記電流経路を介して前記接地電位に流し込むことにより、前記電流によって前記第 1 半導体素子が破壊されることを防止する

ことを特徴とする請求項 1 乃至 3 いずれか 1 項記載の半導体装置。

【請求項 5】 前記第 2 半導体素子に前記電流が流れた際に、前記第 2 半導

体素子の前記電流経路間において発生する電圧は、前記第 1 半導体素子の耐圧未満である

ことを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記第 2 半導体素子は、サイリスタまたはバイポーラトランジスタであり、

前記保護回路は、前記サイリスタまたはバイポーラトランジスタの動作を開始させるためのトリガ回路を更に備える

ことを特徴とする請求項 1 乃至 5 いずれか 1 項記載の半導体装置。

【請求項 7】 前記保護回路は、前記第 2 半導体素子の動作を開始させるためのトリガ回路を更に備え、

前記第 2 半導体素子は、前記トリガ回路に接続される制御端子を更に備えるサイリスタまたはバイポーラトランジスタであり、

前記トリガ回路は、前記外部接続端子から前記電流が流れ込むことにより前記第 1 半導体素子の前記入出力端子における電位が上昇し、且つ該電位が前記第 1 半導体素子の耐圧未満である際に、前記第 2 半導体素子の前記制御端子に対して開始命令を出力する

ことを特徴とする請求項 4 または 5 記載の半導体装置。

【請求項 8】 前記第 2 半導体素子は MOS トランジスタであり、

前記 MOS トランジスタのゲート電位は、前記電流経路の一端の電圧と同相で変化する

ことを特徴とする請求項 4 または 5 記載の半導体装置。

【請求項 9】 前記第 1 半導体素子は MOS トランジスタであり、

前記第 2 半導体素子のチャネル長は、前記第 1 半導体素子よりも大きい

ことを特徴とする請求項 8 記載の半導体装置。

【請求項 10】 前記第 2 ウェル領域は、深さ方向の全領域において、前記第 1 ウェル領域よりも不純物濃度が低い

ことを特徴とする請求項 1 または 3 記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体装置に関する。例えば、静電気放電（E S D : Electro Static Discharge）による半導体装置の破壊を防止するため技術に係るものである。

【0 0 0 2】**【従来の技術】**

一般に E S D は、半導体装置を人間若しくは機械が運搬する場合などに生じる。E S D の発生時には、数百 V ～数千 V の電圧が極短時間の間に半導体装置の 2 端子間に印加される。この E S D による破壊に半導体装置は非常に弱い。そのため、半導体装置には E S D 破壊に対する保護素子が設けられている。そして、この保護素子により静電気の放電を行うことで、半導体装置の E S D 破壊を防止している。

【0 0 0 3】

従来、保護素子としては、サイリスタが広く使用されている（例えば非特許文献 1 参照）。また、保護素子のチャネル領域の不純物濃度を最適化して、保護素子としての性能向上を図る方法も開示されている（例えば特許文献 1 参照）。

【0 0 0 4】**【非特許文献 1】**

Marks P.J.Mergens 他著、EOS/ESD Symposium 2002, Session 1A On Chip Protection, “High Holding Current SCRs(HHI-SCR) for ESD Protection and Latch-up Immune IC Operation”

【0 0 0 5】**【特許文献 1】**

米国特許出願公開第 2003/0034527 号明細書

【0 0 0 6】**【発明が解決しようとする課題】**

しかしながら、近年の半導体装置の微細化に伴って、上記従来のサイリスタは、E S D 破壊に対する防止対策としての機能を十分に果たせなくなっている。この点につき、図 2 2 を用いて以下説明する。図 2 2 は、保護素子として用い

られるサイリスタの電圧－電流特性を示すグラフである。

【0 0 0 7】

半導体装置は、微細化に伴ってゲート酸化膜厚は薄くなる傾向がある。これにより、まず保護対象となる内部回路の耐圧 $B V_{ESD}$ は低下する。また一方で、ウェル領域の不純物濃度は高くなり、その深さは浅くなっていく傾向にある。

【0 0 0 8】

次に保護回路としてのサイリスタに着目すると、不純物濃度が高くなると、サイリスタに内在するバイポーラトランジスタの電流増幅率 h_{fe} 及びベース抵抗 R_B が小さくなる。すると、サイリスタのロックオン条件である $h_{fe}(pnp) \times h_{fe}(npn) > 1$ が満たされにくくなる。 $h_{fe}(pnp)$ 、 $h_{fe}(npn)$ はそれぞれサイリスタに内在する pnp 型バイポーラトランジスタ及び npn 型バイポーラトランジスタの電流増幅率である。そして、最悪の場合、スナップバックしなくなることも考えられ、その場合にはサイリスタはもはや保護素子として動作しない。

【0 0 0 9】

また電流増幅率 h_{fe} が小さくなると、サイリスタをロックオンさせる為のトリガ電流を大きくする必要があり、且つ、バイポーラトランジスタの電圧 V_{CE} を大きく取る必要がある。その結果、ホールド電圧 V_h が上昇する。同時に、ロックオン状態における抵抗（オン抵抗）が上昇するため、クランプ電圧 V_{clamp} が上昇する。その結果、場合によってはクランプ電圧 V_{clamp} が、内部回路の耐圧 $B V_{ESD}$ より大きくなってしまう。従って、内部回路を $E S D$ 破壊から保護出来ない。

【0 0 1 0】

更にウェル領域の深さが浅くなると、サイリスタにおいて単位体積当たりに流れる電流の電流密度が増加する。すると、電流に起因した熱の発生が顕著になり、サイリスタ自身が破壊しやすくなるという問題があった（破壊電流 I_{break} の低下）。

【0 0 1 1】

上記のように、半導体装置の微細化に伴って、保護対象となる内部回路ではその耐圧が低下している。これに対して保護回路としてのサイリスタでは、ホール

ド電圧やクランプ電圧の上昇や、サイリスタ自身の動作不能、または熱により容易に破壊され易くなる等、保護素子としての性能が劣化して来ている。

【0 0 1 2】

この発明は、上記事情に鑑みてなされたもので、その目的は、E S D破壊に対する保護を信頼性良く行うことを可能とする半導体装置を提供することにある。

【0 0 1 3】

【課題を解決するための手段】

この発明の第 1 の態様に係る半導体装置は、第 1 ウェル領域と、前記第 1 ウェル領域内に形成された第 1 半導体素子とを有する内部回路と、前記第 1 ウェル領域よりも不純物濃度が低い第 2 ウェル領域と、前記第 2 ウェル領域内に形成された第 2 半導体素子とを有し、前記第 1 半導体素子を保護するための保護回路とを具備することを特徴としている。

【0 0 1 4】

上記構成によれば、第 2 半導体素子は第 1 ウェル領域よりも不純物濃度の低い第 2 ウェル領域内に形成されている。従って、第 2 半導体素子の電流駆動能力を向上させることが出来る。すなわち、同じ電流を流したときに発生する電圧降下は、第 1 半導体素子に比べて小さい。従って、第 2 半導体素子を E S D破壊保護素子として用いた場合、E S D電流が流れた際に第 2 半導体素子に発生する電圧降下を下げることが出来る。そのため、内部回路の E S D耐圧が低下した場合であっても、第 2 半導体素子によって内部回路を効果的に保護出来る。

【0 0 1 5】

また、この発明の第 2 の態様に係る半導体装置は、第 1 ウェル領域と、前記第 1 ウェル領域内に形成された第 1 半導体素子とを有する内部回路と、前記第 1 ウェル領域よりも深さが深い第 2 ウェル領域と、前記第 2 ウェル領域内に形成された第 2 半導体素子とを有し、前記第 1 半導体素子を保護するための保護回路とを具備することを特徴としている。

【0 0 1 6】

上記構成によれば、第 2 半導体素子は第 1 ウェル領域よりも深さの深い第 2 ウェル領域内に形成されている。従って、同じ電流を流したときに発生する電圧降

下は、第1半導体素子に比べて小さい。よって、第2半導体素子をESD破壊保護素子として用いた場合、ESD電流が流れた際に第2半導体素子に発生する電圧降下を下げる事が出来る。そのため、内部回路のESD耐圧が低下した場合であっても、第2半導体素子によって内部回路を効果的に保護出来る。

【0017】

更に、この発明の第3の態様に係る半導体装置は、第1ウェル領域と、前記第1ウェル領域内に形成された第1半導体素子とを有する内部回路と、前記第1ウェル領域よりも不純物濃度が低く、且つ深さが深い第2ウェル領域と、前記第2ウェル領域内に形成された第2半導体素子とを有し、前記第1半導体素子を保護するための保護回路とを具備することを特徴としている。

【0018】

上記構成によれば、上記第1、第2の態様に係る半導体装置における効果を併せて得ることが出来る。従って、内部回路を更に効果的に保護出来る。

【0019】

【発明の実施の形態】

以下、この発明の実施形態を図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0020】

この発明の第1の実施形態に係る半導体装置について、図1を用いて説明する。図1は、本実施形態に係る半導体装置の回路図である。

【0021】

図示するように、半導体装置は、内部回路10及び保護回路20を備えている。保護回路20は内部回路10をESD破壊から保護するためのものであり、内部回路10と半導体装置の入出力端子若しくは電源端子との間に設けられている。保護回路20は、サイリスタ30及びトリガ回路40を備えている。以下、保護回路20は入出力端子に接続されるものとして説明する。

【0022】

サイリスタ30は、pnp型バイポーラトランジスタ31及びnpn型バイポーラトランジスタ32を内在している。バイポーラトランジスタ31のエミッタ

は、入出力端子に接続されるノードN1に接続され、ベースはバイポーラトランジスタ32のコレクタに接続され、コレクタはバイポーラトランジスタ32のベースに接続されている。またバイポーラトランジスタ32のエミッタは接地されている。そして、バイポーラトランジスタ31のエミッタがサイリスタのアノード端子となり、バイポーラトランジスタ32のエミッタがサイリスタのカソード端子となり、バイポーラトランジスタ31のコレクタとバイポーラトランジスタ32のベースとの接続ノードが、サイリスタのトリガ端子となる。

【0023】

トリガ回路40は、pチャネルMOSトランジスタ41、抵抗素子42、及びキャパシタ素子43を有している。pチャネルMOSトランジスタ41のソースはノードN1に接続され、ドレインはサイリスタのトリガ端子に接続されている。抵抗素子42とキャパシタ素子43は、ノードN1と接地電位との間に直列接続されている。そして、抵抗素子42とキャパシタ素子43との接続ノードが、MOSトランジスタ41のゲートに接続されている。

【0024】

上記構成の保護回路30は、静電気等により入出力端子から大電流が流れ込んだ際、サイリスタ30を介して電流を接地電位に流し込むことにより、内部回路10をESD破壊から保護する。

【0025】

図2は、図1に示す内部回路10及び保護回路20の断面図であり、保護回路については特にサイリスタ30の断面構造を示している。

【0026】

まず内部回路10の構成について説明する。図示するように、内部回路10内にはCMOSバッファ回路が形成されている。すなわち、半導体基板1の表面内には、素子分離領域STIが形成されている。そして、素子分離領域STIによって周囲を取り囲まれた素子領域の表面内には、n型ウェル領域11及びp型ウェル領域12が形成されている。n型ウェル領域11の表面内には、ソース・ドレイン領域となるp⁺型不純物拡散層13、13が、互いに離隔して形成されている。またp型ウェル領域12の表面内にも、ソース・ドレイン領域となるn⁺型

不純物拡散層 14、14 が、互いに離隔して形成されている。そして、 p^+ 型不純物拡散層 13 間、及び n^+ 型不純物拡散層 14 間の半導体基板 1 上に、図示せぬゲート絶縁膜を介在して、ゲート電極 15 が形成されている。以上の構成により、 n 型ウェル領域 11 上に p チャネル MOS トランジスタが形成され、 p 型ウェル領域 12 上に n チャネル MOS トランジスタが形成されている。

【0027】

次にサイリスタ 30 の断面構造について説明する。

図示するように、半導体基板 1 の表面内に、 n 型ウェル領域 33 及び p 型ウェル領域 34 が、互いに接するようにして形成されている。 n 型ウェル領域 33 及び p 型ウェル領域 34 は、内部回路 10 における n 型ウェル領域 11 及び p 型ウェル領域 12 と同じ深さで形成されている。そして、 n 型ウェル領域 33 及び p 型ウェル領域 34 の表面内には、 p^+ 型不純物拡散層 35 及び n^+ 型不純物拡散層 36 が形成されている。 pnp 型バイポーラトランジスタ 31 は、エミッタとなる p^+ 型不純物拡散層 35、ベースとなる n 型ウェル領域 33、及びコレクタとなる p 型ウェル領域 34 を含んで形成されている。また npn 型バイポーラトランジスタ 32 は、エミッタとなる n^+ 型不純物拡散層 36、ベースとなる p 型ウェル領域 34、及びコレクタとなる n 型ウェル領域 33 を含んで形成されている。

【0028】

図 3 は、内部回路 10 及び保護回路 20 にそれぞれ形成されたウェル領域 12、34 の不純物濃度プロファイルを示しており、横軸は半導体基板表面からの深さ、縦軸は不純物濃度を示している。特に、内部回路 10 については、図 2 における $X1-X1'$ 線、保護回路 20 については $X2-X2'$ 線に沿った方向のプロファイルを示している。

【0029】

図示するように、保護回路 20 に形成されたウェル領域 34 の不純物濃度は、内部回路 10 に形成されたウェル領域 12 の不純物濃度よりも薄い。すなわち、ウェル領域 34 に含まれる p 型不純物の濃度は、ウェル領域 12 に含まれる p 型不純物の濃度よりも薄い。そして、この関係は、ウェル領域 12、34 の深さ方向の全領域において成立する。すなわち、ウェル領域 12、34 の表面において

も成立し、深い領域においても成立する。なお、この関係はウェル領域 11 とウェル領域 33 との間でも成立する。すなわち、ウェル領域 33 に含まれる n 型不純物の濃度は、ウェル領域 11 に含まれる n 型不純物の濃度よりも薄い。そして、この関係は、ウェル領域 11、33 の深さ方向の全領域において成立する。また、ウェル領域 11 とウェル領域 34、及びウェル領域 12 とウェル領域 33 との間で成立しても良い。

【0030】

次に、上記構成の保護回路 20 の動作について図 4 を用いて説明する。図 4 はサイリスタ 30 の電圧－電流特性を示すグラフである。

静電気等により、入出力端子から大電流が流れ込んだと仮定する。すると、トリガ回路 40 内の容量素子 43 によって MOS トランジスタ 41 のゲートにバイアスが印加される。換言すれば、MOS トランジスタ 41 のゲート電位は GND とされる。通常、入出力端子から入ってくる静電気等のサージは瞬間的なパルスである。従って、容量素子 43 は、抵抗素子 42 から容量素子 43 に流れ込む電荷を十分に充電できず、MOS トランジスタのゲート電位は上昇出来ない。他方、ノード N1 の電位、すなわち MOS トランジスタ 41 のソース電位はサージによって上昇する。従って、MOS トランジスタ 41 には、オン状態に移行するように、ゲートバイアス印加される。なお、ノード N1 が電源に接続されているような場合には、MOS トランジスタ 41 はオンしない。これは、電源から供給される電圧は、サージに比べて徐々に上昇するからである。この場合、容量素子 43 が十分に充電出来ることにより、MOS トランジスタ 41 の電位が上昇し、MOS トランジスタ 41 はオフ状態のままである。

【0031】

上記の結果、MOS トランジスタ 41 は、サイリスタ 30 のトリガ端子に電流 I_g を供給する。そして、ノード N1 の電位がトリガ電圧 V_{tl} を越えると、n 型ウェル 33 と p 型ウェル 34 とで形成される pn 接合が降伏する。その結果、サイリスタ 30 は順方向阻止状態を示さなくなり（ロックオン状態）、ESD 電流 I_{ESD} をアノード（ノード N1）からカソード（接地電位）へ流す。この時、ノード N1 の電位はクランプ電圧 V_{clamp1} となる。勿論、スナップバックが生じる

トリガ電圧 V_{t1} 及びクランプ電圧 V_{clamp1} は、内部回路 10 内の半導体素子の耐圧 $B V_{ESD}$ よりも低い電圧である。

【0032】

上記本実施形態に係る半導体装置であると、保護回路によって ESD 破壊から内部回路を効果的に保護することが出来る。この点について、図 4 を用いて従来と比較しつつ、以下、詳細に説明する。

【0033】

図 4 に示すように、従来構造のサイリスタであると、トリガ電圧 V_{t2} が高く、またクランプ電圧 V_{clamp2} が高い。従って、静電気等によって入出力端子から ESD 電流 I_{ESD} が流れ込んだ際、例えサイリスタがロックオンしたとしても、サイリスタの端子間電圧は、クランプ電圧 V_{clamp2} に達する前に、内部回路の耐圧 $B V_{ESD}$ を越えてしまう場合があった。この場合、例えサイリスタがロックオンしたとしても、内部回路は破壊されてしまう。また、ロックオンが非常にかかりづらく、トリガ電圧 V_{t3} が耐圧 $B V_{ESD}$ を越えてしまう場合もある。この場合には、サイリスタがロックオンする以前に、既に内部回路は破壊されてしまう。

【0034】

しかし、本実施形態に係る構成では、保護回路 20 内のウェル領域 33、34 の不純物濃度を、内部回路 10 内のウェル領域 11、12 よりも薄くしている。そして、その関係は、ウェル領域 11、12、33、34 の浅い領域だけでなく、深い領域でも成立している。従って、pnp 型バイポーラトランジスタ 31 及び npn 型バイポーラトランジスタ 32 の電流増幅率 $h_{fe}(pnp)$ 、 $h_{fe}(nnp)$ が、従来に比べて大きくなる。そのため、サイリスタ 30 がロックオンする条件 $h_{fe}(pnp) \times h_{fe}(nnp) > 1$ を、容易に満たすことが出来る。また、pnp 型バイポーラトランジスタ 31 及び npn 型バイポーラトランジスタ 32 のベース抵抗 R_B も電流増幅率と同様、それぞれウェル領域 33、34 の不純物濃度 N_D 、 N_A に反比例する ($R_B = 1 / \text{不純物濃度}$)。従って、本実施形態に係る構成では、従来に比べてベース抵抗 R_B が高い。更に、トリガ回路 40 によって、サイリスタ 30 のトリガ端子にゲート電流 I_g を供給している。このように、電流増幅率 $h_{fe}(pnp)$ 、 $h_{fe}(nnp)$ が高く、またベース抵抗 R_B が高く、更にトリガ電流 I_g が供給

されている結果、図 4 に示すように、サイリスタ 30 は、従来に比べてより低いトリガ電圧 V_{t1} ($< V_{t2}$) でロックオンする。

【0035】

また、ウェル領域 33、34 の不純物濃度が、その深さ方向の全領域において低いため、サイリスタ 30 が順方向の導通状態を維持するための最低電圧（最低動作維持電圧＝ホールド電圧 V_h ）が低い。これは、pnp 型バイポーラトランジスタ 31 及び npn 型バイポーラトランジスタ 32 の電流増幅率 $h_{fe}(pnp)$ 、 $h_{fe}(nnp)$ が高いためである。電流増幅率が高いため、従来に比べて小さなベース電流 I_B で大きなコレクタ電流 I_C を流すことが出来、コレクタ・エミッタ間電圧 V_{CE} も小さくて済む。従って、サイリスタ 30 が順方向の導通状態を維持するための、アノード・カソード間電圧は、従来に比べて小さくて済む。すなわち、ホールド電圧 V_h は従来に比べて小さくなる。

【0036】

更に、ウェル領域 33、34 の不純物濃度を、深さ方向の全領域において下げることで、サイリスタ 30 のオン抵抗 R_{on} を低減できる。すなわち、図 4 に示すように、ロックオン状態におけるグラフの傾きが、従来に比べて大きい。換言すれば、電圧増加に対する電流増加の度合いが従来に比べて大きい。

【0037】

上記のように、サイリスタ 30 のホールド電圧 V_h 、及びオン抵抗 R_{on} が従来に比して低下する結果、クランプ電圧 V_{clamp1} が低下する。

【0038】

以上、本実施形態に係る保護回路であると、サイリスタ 30 のトリガ電圧 V_{t1} 及びクランプ電圧 V_{clamp1} が低い為、内部回路 10 の ESD 耐圧が微細化に伴って低下した場合でも、内部回路 10 を十分に ESD 破壊から保護することが出来る。

【0039】

また、本実施形態に係る構成であると、サイリスタ 30 のサイズを小さくすることが出来る。通常、保護素子としてのサイリスタ 30 には、一定の定格が与えられている。これは、ある一定の ESD 電流までなら内部回路を保護できる、と

いうものである。すると、本実施形態では、一定のESD電流を流したときのクランプ電圧は、従来構造と比べて小さいから、発生する電力も小さい。従って、サイリスタ30のサイズは小さくて済み、チップサイズの低減に寄与する。

【0040】

次に、この発明の第2の実施形態に係る半導体装置について説明する。本実施形態は、上記第1の実施形態において、内部回路10と保護回路20とで、ウェル領域の不純物濃度を同程度とし、保護回路20におけるウェル領域の深さを内部回路10よりも深くしたものである。従って、半導体装置の回路図は、上記第1の実施形態で説明した図1と同様であるので説明は省略する。図5は、本実施形態に係る半導体装置の断面図であり、保護回路については特にサイリスタ30の断面構造を示している。内部回路10の構成は上記第1の実施形態と同様であるので説明は省略し、サイリスタ30の構造についてのみ説明する。

【0041】

図示するように、半導体基板1の表面内に、n型ウェル領域37及びp型ウェル領域38が、互いに接するようにして形成されている。n型ウェル領域37及びp型ウェル領域38は、内部回路10におけるn型ウェル11及びp型ウェル12よりも深く形成されている。そして、n型ウェル領域37及びp型ウェル領域38の表面内には、p⁺型不純物拡散層35及びn⁺型不純物拡散層36が形成されている。pnp型バイポーラトランジスタ31は、エミッタとなるp⁺型不純物拡散層35、ベースとなるn型ウェル領域37、及びコレクタとなるp型ウェル領域38を含んで形成されている。またnpn型バイポーラトランジスタ32は、エミッタとなるn⁺型不純物拡散層36、ベースとなるp型ウェル38、及びコレクタとなるn型ウェル37を含んで形成されている。

【0042】

図6は、内部回路10及び保護回路20にそれぞれ形成されたウェル領域12、38の不純物濃度プロファイルを示している。特に、内部回路10については、図5におけるX3-X3'線、保護回路20についてはX4-X4'線に沿った方向のプロファイルを示している。

【0043】

図示するように、保護回路 20 に形成されたウェル領域 34 の不純物濃度は、内部回路 10 に形成されたウェル領域 12 の不純物濃度と同程度である。しかし、ウェル領域 38 は、ウェル領域 12 よりも半導体基板深くまで形成されている。なお、この関係はウェル領域 11 とウェル領域 37 との間でも成立する。また、ウェル領域 11 とウェル領域 38、及びウェル領域 12 とウェル領域 37 との間で成立しても良い。

【0044】

本実施形態に係る保護回路 20 の動作については、上記第 1 の実施形態と同様であるので説明は省略する。

【0045】

上記本実施形態に係る半導体装置であると、保護回路によって ESD 破壊から内部回路を効果的に保護することが出来る。この点について、図 7 を用いて従来と比較しつつ、以下、説明する。図 7 は、本実施形態に係るサイリスタ及び従来のサイリスタの電圧－電流特性を示すグラフである。

【0046】

従来構成のサイリスタの特性は、上記第 1 の実施形態で説明したとおりである。この点、本実施形態に係る構成であると、保護回路 20 内のウェル領域 37、38 の不純物濃度は、内部回路 10 内のウェル領域 11、12 と同程度である。従って、pnp 型バイポーラトランジスタ 31 及び npn 型バイポーラトランジスタ 32 の電流増幅率 $h_{fe}(\text{pnp})$ 、 $h_{fe}(\text{nnp})$ は、従来と同程度である。よって、サイリスタのホールド電圧 V_h は、従来と変わらない。しかし、ウェル領域 38、38 の深さが深い、すなわち、nnp 型バイポーラトランジスタ 31 及び npn 型バイポーラトランジスタ 32 のコレクタ電流 I_C が流れる領域の断面積が大きい。従って、サイリスタ 30 のオン抵抗 R_{on} が低減される。そのため、クランプ電圧 V_{clamp1} が低下する。

【0047】

また、トリガ回路 40 によって、サイリスタ 30 のトリガ端子にゲート電流 I_g を供給している。従って、サイリスタ 30 は従来に比べてより低いトリガ電圧 V_{t1} ($< V_{t2}$) でロックオンする。

【0048】

このように、本実施形態に係るサイリスタ30であると、クランプ電圧 V_{clamp} 及びトリガ電圧 V_{t1} を、従来に比して下げることが出来る。その結果、第1の実施形態と同様に、内部回路10のESD耐圧が低下した場合でも、内部回路10を十分にESD破壊から保護することが出来る。

【0049】

また、本実施形態に係る構成であると、サイリスタ自身の破壊電流に対する耐性が向上するという効果が得られる。従来構成であると、半導体装置の微細化に伴って、ウェル領域の深さが浅くなる。よって、単位体積あたりに流れる電流量が増加し、電流によって発生する熱密度が大きくなり、破壊電流が低下する（図7における I_{break2} ）。すなわち、サイリスタ自身が壊れやすくなる。

【0050】

しかし本実施形態に係る構成では、ウェル領域37、38が、内部回路10のウェル領域11、12よりも深く形成されている。n型ウェル領域37には、npn型バイポーラトランジスタ32のコレクタ電流（pnp型トランジスタ31のベース電流） $h_{fe}(npn) \times I_g$ が流れる。またp型ウェル領域38には、pnp型バイポーラトランジスタ31のコレクタ電流（npn型トランジスタ32のベース電流） $h_{fe}(pnp) \times h_{fe}(npn) \times I_g$ が流れる。各ウェル領域37、38が深くなることで、単位体積あたりに流れる各コレクタ電流密度は低下する。それに伴って、発生する熱も低下する。すなわち、従来のように半導体基板表面で熱が集中することが抑制される。従って、熱によってサイリスタ自身が破壊されることを、従来に比べて効果的に防止することが出来る。換言すれば、サイリスタはより大きな電流まで許容することが出来る。

【0051】

また、上記第1の実施形態と同様に、サイリスタ30のサイズを従来に比べて小さく出来、チップサイズの低減に寄与する。

【0052】

次に、この発明の第3の実施形態に係る半導体装置について説明する。本実施形態は、上記第1、第2の実施形態を組み合わせたものである。従って、半導体

装置の回路図は、上記第 1 の実施形態で説明した図 1 と同様であるので説明は省略する。図 8 は、本実施形態に係る半導体装置の断面図であり、保護回路については特にサイリスタ 30 の断面構造を示している。内部回路 10 の構成は上記第 1 の実施形態と同様であるので説明は省略し、サイリスタ 30 の構造についてのみ説明する。

【0053】

図示するように、半導体基板 1 の表面内に、n 型ウェル領域 39 及び p 型ウェル領域 50 が、互いに接するようにして形成されている。n 型ウェル領域 39 及び p 型ウェル領域 50 は、内部回路 10 における n 型ウェル領域 11 及び p 型ウェル領域 12 よりも不純物濃度が低く、且つ半導体基板 1 に対してより深く形成されている。そして、n 型ウェル領域 39 及び p 型ウェル領域 50 の表面内には、p⁺型不純物拡散層 35 及び n⁺型不純物拡散層 36 が形成されている。p n p 型バイポーラトランジスタ 31 は、エミッタとなる p⁺型不純物拡散層 35、ベースとなる n 型ウェル領域 39、及びコレクタとなる p 型ウェル領域 50 を含んで形成されている。また n p n 型バイポーラトランジスタ 32 は、エミッタとなる n⁺型不純物拡散層 36、ベースとなる p 型ウェル 50、及びコレクタとなる n 型ウェル 39 を含んで形成されている。

【0054】

図 9 は、内部回路 10 及び保護回路 20 にそれぞれ形成されたウェル領域 12、50 の不純物濃度プロファイルを示している。特に、内部回路 10 については、図 8 における X5-X5' 線、保護回路 20 については X6-X6' 線に沿った方向のプロファイルを示している。

【0055】

図示するように、保護回路 20 に形成されたウェル領域 50 の不純物濃度は、内部回路 10 に形成されたウェル領域 12 よりも低い。すなわち、ウェル領域 50 に含まれる p 型不純物の濃度は、ウェル領域 12 に含まれる p 型不純物の濃度よりも薄い。そして、この関係は、ウェル領域 12、50 の深さ方向の全領域において成立する。すなわち、ウェル領域 12、50 の表面においても成立し、深い領域においても成立する。そして、ウェル領域 50 は、ウェル領域 12 よりも

半導体基板深くまで形成されている。なお、この不純物濃度と深さの関係はウェル領域 11 とウェル領域 39 との間でも成立する。また、ウェル領域 11 と 50、ウェル領域 12 とウェル領域 39 との間で成立しても良い。

【0056】

本実施形態に係る保護回路 20 の動作については、上記第 1 の実施形態と同様であるので説明は省略する。

【0057】

上記本実施形態に係る半導体装置であると、上記第 1、第 2 の実施形態で説明した効果を同時に得ることが出来る。すなわち、図 10 に示す本実施形態及び従来のサイリスタの電圧－電流特性に示されるように、従来に比べてトリガ電圧及びクランプ電圧を低くすることが出来る。そのため、内部回路 10 を ESD 破壊からより効果的に保護することが出来る。更に、サイリスタにおいて熱の発生を抑制できるため、サイリスタ自身を熱による破壊から保護することが出来る。

【0058】

また、上記第 1 の実施形態と同様に、サイリスタ 30 のサイズを従来に比べて小さく出来、チップサイズの低減に寄与する。

【0059】

次に、この発明の第 4 の実施形態に係る半導体装置について、図 11 を用いて説明する。図 11 は、本実施形態に係る半導体装置の回路図である。本実施形態は、上記第 1 の実施形態において、サイリスタ 30 をバイポーラトランジスタに置き換えたものである。

【0060】

図示するように、半導体装置は、内部回路 10 及び保護回路 20 を備えている。保護回路 20 は、npn 型バイポーラトランジスタ 60 及びトリガ回路 40 を備えている。トリガ回路の構成は第 1 の実施形態と同様であるので、説明は省略する。バイポーラトランジスタ 60 のベースは、トリガ回路 40 内の MOS トランジスタ 41 のドレインに接続され、エミッタは接地され、コレクタはノード N1 に接続されている。

【0061】

上記構成の保護回路 30 は、静電気等により入出力端子若しくは電源端子から大電流が流れ込んだ際、バイポーラトランジスタ 60 を介して電流を接地電位に流し込むことにより、内部回路 10 を ESD 破壊から保護する。

【0062】

図 12 は、図 11 に示す内部回路 10 及び保護回路 20 の断面図であり、保護回路については特にバイポーラトランジスタ 60 の断面構造を示している。なお、内部回路の構成は第 1 の実施形態と同様であるので説明は省略する。

【0063】

図示するように、保護回路 20 内においては、半導体基板 1 の表面内に p 型ウェル領域 61 が形成されている。この p 型ウェル領域 61 は、内部回路 10 における n 型ウェル領域 11 及び p 型ウェル領域 12 と同じ深さで形成されている。そして、p 型ウェル領域 61 の表面内には、互いに離隔するようにして 2 つの n⁺型不純物拡散層 62、63 が形成されている。npn 型バイポーラトランジスタ 60 は、エミッタとなる n⁺型不純物拡散層 62、ベースとなる p 型ウェル領域 61、及びコレクタとなる n⁺型不純物拡散層 63 を含んで形成されている。

【0064】

図 12 における X7-X7' 線 (p 型ウェル領域 12)、X8-X8' 線 (p 型ウェル領域 61) に沿った方向の不純物濃度プロファイルは、上記第 1 の実施形態で説明した図 3 と同様である。すなわち、保護回路 20 に形成されたウェル領域 61 の不純物濃度は、内部回路 10 に形成されたウェル領域 12 の不純物濃度よりも薄い。すなわち、ウェル領域 61 に含まれる p 型不純物の濃度は、ウェル領域 12 に含まれる p 型不純物の濃度よりも薄い。そして、この関係は、ウェル領域 12、61 の深さ方向の全領域において成立する。すなわち、ウェル領域 12、61 の表面においても成立し、深い領域においても成立する。なお、この関係はウェル領域 11 とウェル領域 61 との間で成立しても良い。

【0065】

次に、上記構成の保護回路 20 の動作について図 13 を用いて説明する。図 13 は図 11 に示す保護回路の電圧 (VCE) - 電流 (IC) 特性を示すグラフである。

【0066】

入出力端子から大電流が流れ込むと、容量素子43によって、MOSトランジスタ41のゲートにはバイアス電圧が維持される。従って、MOSトランジスタ41はオン状態となり、バイポーラトランジスタ60のベースにベース電流 I_B を供給する。ベース電流 I_B を供給されることにより、バイポーラトランジスタ60は、コレクタ電流を流し始め、ESD電流 I_{ESD} をコレクタ（ノードN1）からエミッタ（接地電位）へ流す。この時、ノードN1の電位はクランプ電圧 V_{clamp1} となる。勿論、クランプ電圧 V_{clamp1} は、内部回路10内の半導体素子の耐圧 BV_{ESD} よりも低い電圧である。

【0067】

上記本実施形態に係る半導体装置であると、保護回路によってESD破壊から内部回路を効果的に保護することが出来る。この点について、図13を用いて従来と比較しつつ、以下、詳細に説明する。

【0068】

図13に示すように、従来構造のバイポーラトランジスタであると、クランプ電圧 V_{clamp2} が高い。これは、従来技術で説明したように、ウェル領域の不純物濃度が高く、バイポーラトランジスタの電流増幅率 h_{fe} が低いためである。そのため、入出力端子から半導体装置にESD電流 I_{ESD} が流れ込んだ際、バイポーラトランジスタが正常に動作したとしても、バイポーラトランジスタのコレクタ・エミッタ間電圧は、クランプ電圧 V_{clamp2} に達する前に、内部回路の耐圧 BV_{ESD} を越えてしまう場合があった。すなわち、保護素子としてのバイポーラトランジスタの機能が十分でなく、内部回路はESDによって破壊されてしまう。

【0069】

しかし、本実施形態に係る構成では、保護回路20内のウェル領域61の不純物濃度を、内部回路10内のウェル領域11、12よりも薄くしている。そして、その関係はウェル領域の浅い領域だけでなく深い領域でも成立する。従って、バイポーラトランジスタ60の電流増幅率 h_{fe} が従来に比べて大きくなる。すなわち、従来に比して、同一のベース電流を流したときに、より大きなコレクタ電流を流すことが出来る。また、バイポーラトランジスタのオン抵抗 R_{on} も低下す

る。換言すれば、電圧増加に対する電流増加の度合いが従来に比べて大きい。

【0070】

上記のように、バイポーラトランジスタ60の電流増幅率 h_{fe} 、及びオン抵抗 R_{on} が従来に比して低下する結果、クランプ電圧 V_{clamp1} が低下する。

【0071】

以上、本実施形態に係る保護回路であると、バイポーラトランジスタのクランプ電圧 V_{clamp1} が低い為、内部回路10のESD耐圧が微細化に伴って低下した場合でも、内部回路10を十分にESD破壊から保護することが出来る。

【0072】

また、上記第1の実施形態と同様の理由から、バイポーラトランジスタ60において発生する電力を低減できる。従って、バイポーラトランジスタ60のサイズを従来に比べて小さく出来、チップサイズの低減に寄与する。

【0073】

次に、この発明の第5の実施形態に係る半導体装置について説明する。本実施形態は、上記第4の実施形態において、内部回路10と保護回路20とで、ウェル領域の不純物濃度を同程度とし、保護回路20におけるウェル領域の深さを内部回路10よりも深くしたものである。従って、半導体装置の回路図は、上記第5の実施形態で説明した図11と同様であるので説明は省略する。図14は、本実施形態に係る半導体装置の断面図であり、保護回路については特にバイポーラトランジスタ60の断面構造を示している。内部回路10の構成は上記第4の実施形態と同様であるので説明は省略し、バイポーラトランジスタ60の構造についてのみ説明する。

【0074】

図示するように、半導体基板1の表面内にp型ウェル領域64が形成されている。このp型ウェル領域64は、内部回路10におけるn型ウェル領域11及びp型ウェル領域12よりも深く形成されている。そして、p型ウェル領域61の表面内には、互いに離隔するようにして2つのn⁺型不純物拡散層62、63が形成されている。npn型バイポーラトランジスタ60は、エミッタとなるn⁺型不純物拡散層62、ベースとなるp型ウェル領域61、及びコレクタとなるn

+型不純物拡散層 63 を含んで形成されている。

【0075】

図14におけるX9-X9'線(p型ウェル領域12)、X10-X10'線(p型ウェル領域64)に沿った方向の不純物濃度プロファイルは、上記第2の実施形態で説明した図6と同様である。すなわち、保護回路20に形成されたウェル領域64は、内部回路10に形成されたウェル領域12の不純物濃度と同程度の不純物濃度を有し、且つ半導体基板面から深く形成されている。なお、この関係はウェル領域11とウェル領域64との間で成立しても良い。

【0076】

本実施形態に係る保護回路20の動作については、上記第4の実施形態と同様であるので説明は省略する。

【0077】

上記本実施形態に係る半導体装置であると、上記第4の実施形態と同様の効果が得られる。この点について、図13を用いて説明する。図13は、第4の実施形態に係るバイポーラトランジスタ60の電圧-電流特性であるが、本実施形態に係るバイポーラトランジスタ60も同様の傾向を示す。

【0078】

本実施形態に係る構造であると、従来に比してウェル領域64の深さが深い、すなわち、バイポーラトランジスタ60のコレクタ電流 I_C が流れる領域の断面積が大きい。従って、バイポーラトランジスタ60のオン抵抗 R_{on} が低減される。そのため、第4の実施形態と同様に、クランプ電圧 V_{clamp1} が低下する。従って、内部回路10のESD耐圧が微細化に伴って低下した場合でも、内部回路10を十分にESD破壊から保護することが出来る。

【0079】

また、上記第4の実施形態と同様、バイポーラトランジスタ60のサイズを従来に比べて小さく出来、チップサイズの低減に寄与する。

【0080】

次に、この発明の第6の実施形態に係る半導体装置について説明する。本実施形態は、上記第4、第5の実施形態を組み合わせたものである。従って、半導体

装置の回路図は上記第4の実施形態で説明した図11と同様であるので説明は省略する。また、本実施形態に係る半導体装置の断面構造は、第5の実施形態で説明した図14に示す構造であり、内部回路10及び保護回路20に形成されたウェル領域の不純物濃度プロファイルは、図9と同様である。また、保護回路の動作は、上記第4の実施形態で説明した通りである。

【0081】

本実施形態に係る構成であると、保護回路20内のウェル領域64の不純物濃度を、内部回路10内のウェル領域11、12よりも薄くしている。従って、バイポーラトランジスタ60の電流増幅率 h_{fe} が従来に比べて大きくなる。また、バイポーラトランジスタのオン抵抗 R_{on} も低下する。

【0082】

更に、従来に比してウェル領域64の深さが深い、すなわち、バイポーラトランジスタ60のコレクタ電流 I_C が流れる領域の断面積が大きい。従って、バイポーラトランジスタ60のオン抵抗 R_{on} が低減される。

【0083】

上記の結果、第4、第5の実施形態と同様に、クランプ電圧 V_{clamp1} が低下する。従って、内部回路10のESD耐圧が微細化に伴って低下した場合でも、内部回路10を十分にESD破壊から保護することが出来る。また、バイポーラトランジスタ60のサイズを従来に比べて小さく出来、チップサイズの低減に寄与する。

【0084】

図15は、第4乃至第6の実施形態に係るバイポーラトランジスタ60と、従来構造のバイポーラトランジスタを用いた場合の図11に示す保護回路の電圧(V_{CE})－電流(I_C)特性である。図示するように、第4乃至第6の実施形態に係るバイポーラトランジスタであると、同一のESD電流 I_{ESD} が流れた際に発生する電圧 V_{CE} (クランプ電圧)が、従来のバイポーラトランジスタに比べて小さいことが分かる。すなわち、内部回路のESD耐圧が低下した際でも、効果的に内部回路が保護される。

【0085】

また、バイポーラトランジスタ自身が破壊される電流（破壊電流）の値も向上する。バイポーラトランジスタ自身の破壊は、そのバイポーラトランジスタにおいて発生する電力密度によって決まる。本実施形態に係る構造であると、従来構造に比べて、同一の電圧で流れる電流量が大きい。従って、図15において示した等電力線でバイポーラトランジスタが破壊されるとすれば、その破壊電流 I_{break} は、従来に比べて大きくなる。すなわち、第4乃至第6の実施形態に係るバイポーラトランジスタであると、より大きなESD電流が流れ込んだ場合でも対応することが出来、内部回路保護の特性を向上できる。

【0086】

なお、第4乃至第6の実施形態に係るバイポーラトランジスタは、従来に比べて電流増幅率 h_{fe} が高く、またオン抵抗 R_{on} が低い。従って、保護素子としてのバイポーラトランジスタを、内部回路に流用しても良い。この場合には、第4乃至第6の実施形態に係る構造を有するバイポーラトランジスタは、高性能な半導体素子として利用出来る。

【0087】

次に、この発明の第7の実施形態に係る半導体装置について、図16を用いて説明する。図16は、本実施形態に係る半導体装置の回路図である。

【0088】

図示するように、半導体装置は、内部回路10及び保護回路20を備えている。保護回路20は内部回路10をESD破壊から保護するためのものであり、内部回路10と半導体装置の入出力端子との間に設けられている。保護回路20は、nチャネルMOSトランジスタ70、キャパシタ素子71、及び抵抗素子72を備えている。

【0089】

MOSトランジスタ70のソースは接地され、ドレインは、入出力端子に接続されるノードN1に接続されている。キャパシタ素子71と抵抗素子72とは、ノードN1と接地電位との間に直列接続されている。そして、キャパシタ素子71と抵抗素子72との接続ノードが、MOSトランジスタ70のゲートに接続されている。なお、保護回路20内のMOSトランジスタ70は、ESD電流を流

す必要があるから、内部回路 10 内における MOS トランジスタよりもサイズが大きい。すなわち、チャネル長やチャネル幅が、内部回路 10 の MOS トランジスタよりも大きく、より大きな電流を供給できる。

【0090】

上記構成の保護回路 20 は、静電気等によって入出力端子から大電流が流れ込んだ際、MOS トランジスタ 70 の電流経路を介して電流を接地電位に流し込むことにより、内部回路 10 を ESD 破壊から保護する。

【0091】

図 17 は、図 16 に示す内部回路 10 及び保護回路 20 の断面図であり、保護回路については、特に MOS トランジスタ 70 の断面構造を示している。

【0092】

内部回路の構成は、上記第 1 の実施形態で説明したとおりであるので、説明は省略する。保護回路においては、図示するように、半導体基板 1 の表面内に p 型ウェル領域 73 が形成されている。この p 型ウェル領域 73 は、内部回路 10 における n 型ウェル領域 11 及び p 型ウェル領域 12 と同じ深さで形成されている。そして、p 型ウェル領域 73 の表面内には、互いに離隔するようにして 2 つの n⁺型不純物拡散層 74、75 が形成されている。n⁺型不純物拡散層 74、75 は、それぞれ MOS トランジスタ 70 のソース・ドレイン領域として機能するものである。そして、ソース・ドレイン領域 74、75 間の p 型ウェル領域 73 上には、図示せぬゲート絶縁膜を介在してゲート電極 76 が形成されている。

【0093】

図 17 における X11-X11' 線 (p 型ウェル領域 12)、X12-X12' 線 (p 型ウェル領域 73) に沿った方向の不純物濃度プロファイルは、上記第 1 の実施形態で説明した図 3 と同様である。すなわち、保護回路 20 に形成されたウェル領域 73 の不純物濃度は、内部回路 10 に形成されたウェル領域 12 の不純物濃度よりも薄い。すなわち、ウェル領域 73 に含まれる p 型不純物の濃度は、ウェル領域 12 に含まれる p 型不純物の濃度よりも薄い。そして、この関係は、ウェル領域 12、73 の深さ方向の全領域において成立する。すなわち、ウェル領域 12、73 の表面においても成立し、深い領域においても成立する。な

お、この関係はウェル領域 11 とウェル領域 73 との間で成立しても良い。

【0094】

次に、上記構成の保護回路 20 の動作について説明する。入出力端子から静電気等によって ESD 電流が流れ込むことによって、ノード N1 の電位は瞬間的に大幅に上昇する。すると、キャパシタ素子 71 におけるカップリングにより、MOS トランジスタ 70 のゲート電位も上昇する。これにより、MOS トランジスタ 70 はオン状態となり、ESD 電流をドレイン（ノード N1）からソース（接地電位）へ流す。その結果、ESD 電流が内部回路 10 に流れ込むことを防止し、内部回路 10 を ESD 破壊から保護することが出来る。この動作をより詳しく説明すれば次のようになる。すなわち、MOS トランジスタ 70 のドレイン端子（ノード N1）が、MOS トランジスタ 70 のドレイン耐圧以上になると、ドレインアバランシェブレイクダウン電流が p 型ウェル領域 73 に流れ出す。その結果、図 17 においてソース領域 74 及びドレイン領域 75 が、寄生の npn 型バイポーラトランジスタのコレクタ及びエミッタとして機能を開始する。これにより、MOS トランジスタ 70 に流れる電流は、寄生の npn 型バイポーラトランジスタのコレクタ電流が支配的となる。

【0095】

上記本実施形態に係る半導体装置であると、上記第 4 の実施形態と同様に、内部回路を ESD 破壊から効果的に保護することが出来る。この点について図 18 を用いて説明する。図 18 は、本実施形態に係る MOS トランジスタ 70 の電圧（ドレイン電圧 V_D ）－電流（ドレイン電流 I_D ）特性である。

【0096】

すなわち、MOS トランジスタのチャネル電流は、 $(V_g - V_t)^2$ で流れる。但し、 V_g はゲート電圧であり、 V_t は MOS トランジスタの閾値電圧である。そして、閾値電圧 $V_t = V_d$ （ V_d はドレイン電圧）がドレイン耐圧 BVD を越えると、寄生の npn 型バイポーラトランジスタのコレクタ電流が流れる。

【0097】

この点、従来構造と比べると、ウェル領域の不純物濃度を薄くすることで、トリガ電圧が低くなり（ $V_{t1} < V_{t2}$ ）、ドレイン耐圧が上がり（ $BVD1 > BVD2$ ）

、寄生の $n p n$ MOS トランジスタのオン抵抗が下がり、電流増幅率 h_{fe} が上がる。従って、ドレイン電流 I_D の増加する度合いを、図 18 に示すように、従来よりも大きくすることが出来る。その結果、クランプ電圧 V_{clamp1} を低下させることが出来る。そのため、内部回路 10 の ESD 耐圧が微細化に伴って低下した場合でも、内部回路 10 を十分に ESD 破壊から保護することが出来る。

【0098】

また、上記第 1 の実施形態で説明したように、MOS トランジスタ 70 において発生する電力を低減できる。従って、MOS トランジスタ 70 のサイズを従来に比べて小さく出来、チップサイズの低減に寄与する。

【0099】

次に、この発明の第 8 の実施形態に係る半導体装置について説明する。本実施形態は、上記第 7 の実施形態において、内部回路 10 と保護回路 20 とで、ウェル領域の不純物濃度を同程度とし、保護回路 20 内におけるウェル領域の深さを内部回路 10 よりも深くしたものである。従って、半導体装置の回路図は、上記第 7 の実施形態で説明した図 16 と同様であるので説明は省略する。図 19 は、本実施形態に係る半導体装置の断面図であり、保護回路については特に MOS トランジスタ 70 の断面構造を示している。内部回路 10 の構成は上記第 7 の実施形態と同様であるので説明は省略し、MOS トランジスタ 70 の構造についてのみ説明する。

【0100】

図示するように、半導体基板 1 の表面内に p 型ウェル領域 77 が形成されている。この p 型ウェル領域 77 は、内部回路 10 における n 型ウェル領域 11 及び p 型ウェル領域 12 よりも深く形成されている。そして、 p 型ウェル領域 77 の表面内には、互いに離隔するようにして 2 つの n^+ 型不純物拡散層 74、75 が形成されている。 n^+ 型不純物拡散層 74、75 は、それぞれ MOS トランジスタのソース・ドレイン領域として機能するものである。そして、ソース・ドレイン領域 74、75 間のウェル領域 77 上に、図示せぬゲート絶縁膜を介在してゲート電極 76 が形成されている。

【0101】

図18におけるX13-X13'線(p型ウェル領域12)、X14-X14'線(p型ウェル領域77)に沿った方向の不純物濃度プロファイルは、上記第2の実施形態で説明した図6と同様である。すなわち、保護回路20に形成されたウェル領域77は、内部回路10に形成されたウェル領域12の不純物濃度と同程度の不純物濃度を有し、且つ半導体基板面から深く形成されている。なお、この関係は、ウェル領域11とウェル領域77との間で成立しても良い。

【0102】

本実施形態に係る保護回路20の動作については、上記第7の実施形態と同様であるので説明は省略する。

【0103】

上記本実施形態に係る半導体装置であると、上記第4の実施形態と同様に、内部回路をESD破壊から効果的に保護することが出来る。この点について図18を用いて説明する。図18は、第7の実施形態で説明した保護回路の電圧-電流特性であるが、本実施形態に係るMOSトランジスタ70の電圧(ドレイン電圧 V_D)-電流(ドレイン電流 I_D)特性も図18とほぼ同様である。

【0104】

前述の通り、ウェル領域77を深く形成することで、寄生のnpn型バイポーラトランジスタのオン抵抗が下がる。その結果、第4の実施形態と同様に、クランプ電圧 V_{clamp1} が低下する。従って、内部回路10のESD耐圧が微細化に伴って低下した場合でも、内部回路10を十分にESD破壊から保護することが出来る。

【0105】

また、上記第7の実施形態と同様に、MOSトランジスタ70のサイズを従来に比べて小さく出来、チップサイズの低減に寄与する。

【0106】

次に、この発明の第9の実施形態に係る半導体装置について説明する。本実施形態は、上記第7、第8の実施形態を組み合わせたものである。従って、半導体装置の回路図は上記第7の実施形態で説明した図16と同様であるので説明は省略する。また、本実施形態に係る半導体装置の断面構造は、第8の実施形態で説

明した図19に示す構造であり、内部回路10及び保護回路20に形成されたウェル領域の不純物濃度プロファイルは、図9と同様である。また、保護回路の動作は、上記第7の実施形態で説明したとおりである。

【0107】

本実施形態に係る構成であると、上記第7、第8の実施形態で説明した原理により、クランプ電圧 V_{clamp1} が低下する。従って、内部回路10のESD耐圧が微細化に伴って低下した場合でも、内部回路10を十分にESD破壊から保護することが出来る。また、MOSトランジスタ70のサイズを従来に比べて小さく出来、チップサイズの低減に寄与する。

【0108】

また、上記第4乃至第6の実施形態において図15を用いて説明した関係は、第7乃至第9の実施形態でも同様に成立する。従って、第7乃至第9の実施形態に係るMOSトランジスタでも、破壊電流を従来構造に比べて大きくすることが出来る。

【0109】

上記のように、この発明の第1乃至第9の実施形態に係る半導体装置によれば、保護回路20において保護素子（サイリスタ、バイポーラトランジスタ、MOSトランジスタ等）が形成されるウェル領域の不純物濃度を、深さ方向の全領域において、保護対象である内部回路10におけるウェル領域よりも薄くしている。または、保護回路20において保護素子が形成されるウェル領域の深さを、内部回路10におけるウェル領域よりの深くしている。または、保護回路20において保護素子が形成されるウェル領域の不純物濃度を内部回路よりも薄くし、且つ深くしている。その結果、保護素子としてサイリスタを用いた場合には、サイリスタのトリガ電圧及びクランプ電圧を下げる事が出来る。また保護素子としてバイポーラトランジスタ及びMOSトランジスタを用いた場合にも、クランプ電圧を下げる事が出来る。従って、微細化に伴って内部回路のESD耐圧が低下した場合でも、内部回路をESD破壊から効果的に保護することが出来る。

【0110】

また、従来構造であると、内部回路と保護回路とで、同一構造のウェル領域を

使用していた。従って、ウェル領域の形成条件は、両者の特性を考慮して形成する必要があった。しかし、上記第 1 乃至第 9 の実施形態であると、内部回路と保護回路とで、ウェル領域の不純物濃度and/or深さをそれぞれ独立に変えている。従って、内部回路と保護回路のそれぞれについて、ウェル領域を最適な条件で形成することが出来る。そのため、内部回路及び保護回路について、最高のパフォーマンスを発揮させることが出来る。すなわち、内部回路の微細化が更に進行しても、保護回路はその影響を受けることがなく、内部回路を E S D 破壊から保護することが出来る。

【 0 1 1 1 】

更に、上記第 1 乃至第 9 の実施形態は、ウェル領域を形成する際における、半導体基板への不純物の導入条件を変えるだけで実施出来、安価にて実施が可能である。

【 0 1 1 2 】

なお、図 2 0 に示すように、入出力端子から入力／出力される信号は、内部回路においてまず入出力バッファ 1 6 を通過するのが通常である。従って、上記したウェル領域の不純物濃度及び深さの関係は、例えば、保護回路 2 0 において保護素子が形成されるウェル領域と、内部回路 1 0 において入出力バッファ 1 6 が形成されるウェル領域との間で満たされれば良い。しかし、図 2 0 のように、内部回路 1 0 が単一の電源 V D D で動作する場合、内部回路 1 0 を構成する半導体素子は、同一の構造のウェル領域上に形成されるのが通常である。従って、上記関係は、内部回路 1 0 に含まれる全てのウェル領域と、保護素子が形成されるウェル領域との間で満たされても良い。なお、保護回路 2 0 内のトリガ回路 4 0 は、E S D 破壊を実質的に保護するためのものではないから、トリガ回路 4 0 が形成されるウェル領域は、内部回路 1 0 のウェル領域と同じ構造であって良い。すなわち、上記ウェル領域の不純物濃度及び深さの関係が、保護素子が形成されるウェル領域と、トリガ回路が形成されるウェル領域との間で満たされていても良い。

【 0 1 1 3 】

また、内部回路は複数の電源で動作する場合もある。図 2 1 は例えばフラッシュ

メモリを混載したシステムLSIのブロック図である。図示するように、内部回路10は、ロジック回路17とフラッシュメモリ80とを備えている。ロジック回路17は、電源VDDで動作する。フラッシュメモリ80は、内部に高電圧発生回路81を有しており、高電圧発生回路で生成された、VDDより高い電圧HVがメモリセルアレイ82に供給される。これは、フラッシュメモリでは書き込み及び消去動作の際に、高電圧が必要となるからである。すると、フラッシュメモリ80は高電圧を扱うから、フラッシュメモリ80内におけるウェル領域は、ロジック回路17内におけるウェル領域よりも深い場合が通常である。または不純物濃度が薄い場合が通常である。この場合には、保護回路20内のウェル領域は、例えばフラッシュメモリ80内におけるウェル領域と同じ構造であっても良い。但し、フラッシュメモリ80内におけるウェル領域と同じ構造ではESD耐性が十分とれない場合には、保護回路20内におけるウェル領域は、更に深さを深くするand/or不純物濃度を高くすれば良い。

【0114】

更に、上記実施形態では、保護素子としてサイリスタ、バイポーラトランジスタ、及びMOSトランジスタを用いた場合について説明してきた。しかし、保護素子はこれらに限定されるものではなく、その他の半導体素子を用いることも出来るし、複数の半導体素子を組み合わせて用いても良い。その際には、保護素子を構成する要素のうち、実際にESD電流を流す要素について、ウェル領域についての上記不純物濃度及び深さの関係が満たされれば足りる。

【0115】

また、上記実施形態では、保護素子はESD電流を接地電位に流し込む場合について説明したが、例えば電源電位VDDに流し込む場合であっても勿論構わない。

【0116】

なお、本願発明は上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全

構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0117】

【発明の効果】

以上説明したように、この発明によれば、ESD破壊に対する保護を信頼性良く行うことを可能とする半導体装置を提供できる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態に係る半導体装置の回路図。

【図2】 この発明の第1の実施形態に係る半導体装置の断面図。

【図3】 この発明の第1の実施形態に係る半導体装置の深さ方向の不純物濃度プロファイルを示すグラフ。

【図4】 この発明の第1の実施形態に係る半導体装置及び従来の半導体装置が備えるサイリスタの電圧－電流特性を示すグラフ。

【図5】 この発明の第2の実施形態に係る半導体装置の断面図。

【図6】 この発明の第2の実施形態に係る半導体装置の深さ方向の不純物濃度プロファイルを示すグラフ。

【図7】 この発明の第2の実施形態に係る半導体装置及び従来の半導体装置が備えるサイリスタの電圧－電流特性を示すグラフ。

【図8】 この発明の第3の実施形態に係る半導体装置の断面図。

【図9】 この発明の第3の実施形態に係る半導体装置の深さ方向の不純物濃度プロファイルを示すグラフ。

【図10】 この発明の第3の実施形態に係る半導体装置及び従来の半導体装置が備えるサイリスタの電圧－電流特性を示すグラフ。

【図11】 この発明の第4の実施形態に係る半導体装置の回路図。

【図12】 この発明の第4の実施形態に係る半導体装置の断面図。

【図13】 この発明の第4の実施形態に係る半導体装置及び従来の半導体装置が備えるバイポーラトランジスタの電圧－電流特性を示すグラフ。

【図14】 この発明の第5、第6の実施形態に係る半導体装置の断面図。

【図 15】 この発明の第 4 乃至第 6 の実施形態に係る半導体装置及び従来の半導体装置が備えるバイポーラトランジスタの電圧－電流特性を示すグラフ。

【図 16】 この発明の第 7 の実施形態に係る半導体装置の回路図。

【図 17】 この発明の第 7 の実施形態に係る半導体装置の断面図。

【図 18】 この発明の第 7 の実施形態に係る半導体装置及び従来の半導体装置が備える MOS トランジスタの電圧－電流特性を示すグラフ。

【図 19】 この発明の第 8、第 9 の実施形態に係る半導体装置の断面図。

【図 20】 この発明の第 1 乃至第 9 の実施形態の第 1 変形例に係る半導体装置のブロック図。

【図 21】 この発明の第 1 乃至第 9 の実施形態の第 2 変形例に係る半導体装置のブロック図。

【図 22】 従来のサイリスタの電圧－電流特性を示すグラフ。

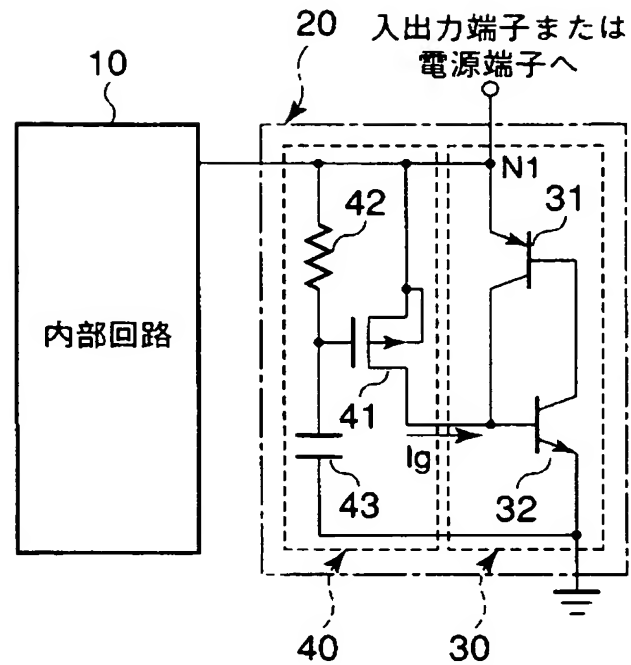
【符号の説明】

1…半導体基板、10…内部回路、11、33、37、39… n 型ウェル領域、12、34、38、50、61、64、73、77… p 型ウェル領域、13、35… p^+ 型不純物拡散層、14、36、62、63、74、75… n^+ 型不純物拡散層、15、76…ゲート電極、16…バッファ回路、17…ロジック回路、20…保護回路、30…サイリスタ、31… pnp 型バイポーラトランジスタ、32、60… npn 型バイポーラトランジスタ、40…トリガ回路、41… p チャネル MOS トランジスタ、42、72…抵抗素子、43、71…キャパシタ素子、70… n チャネル MOS トランジスタ、80…フラッシュメモリ、81…電圧生成器、82…メモリセルアレイ

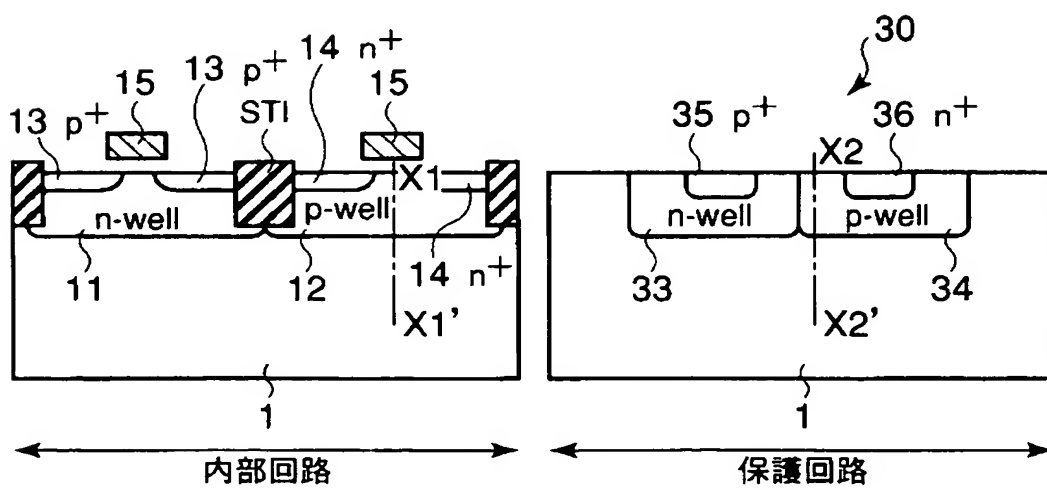
【書類名】

図面

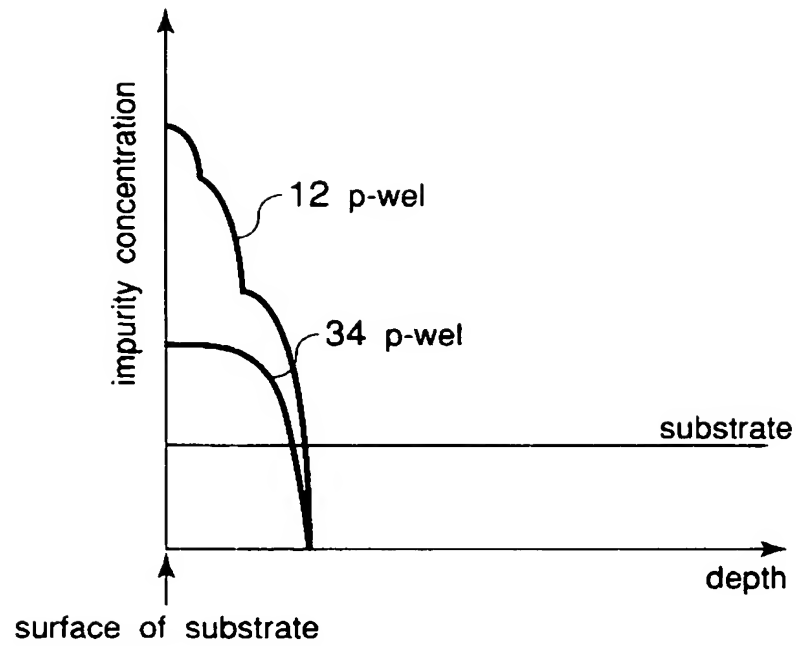
【図 1】



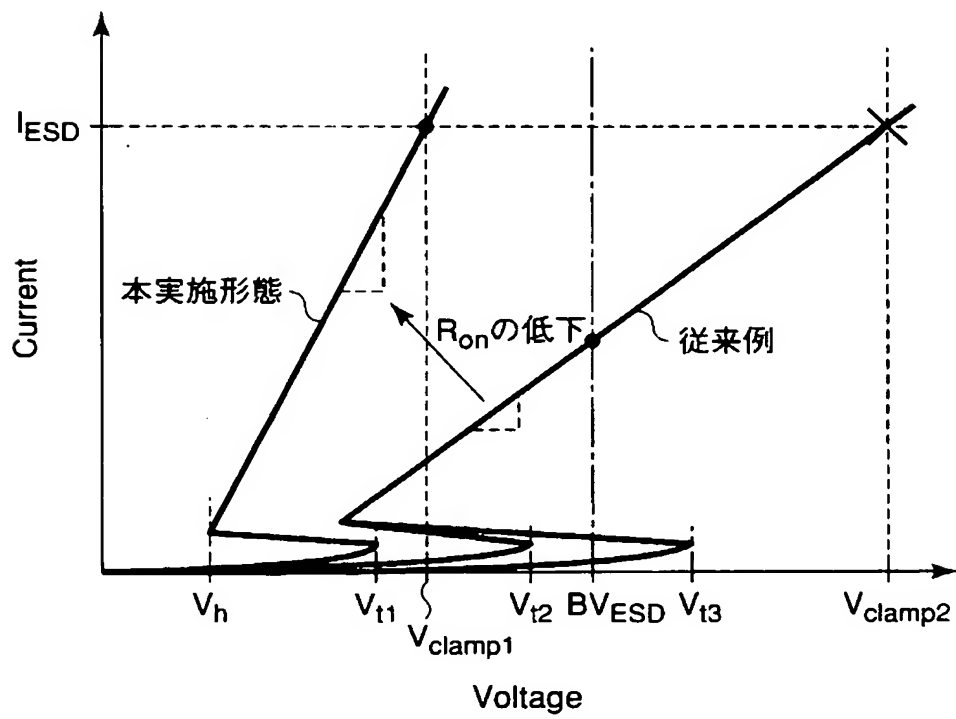
【図 2】



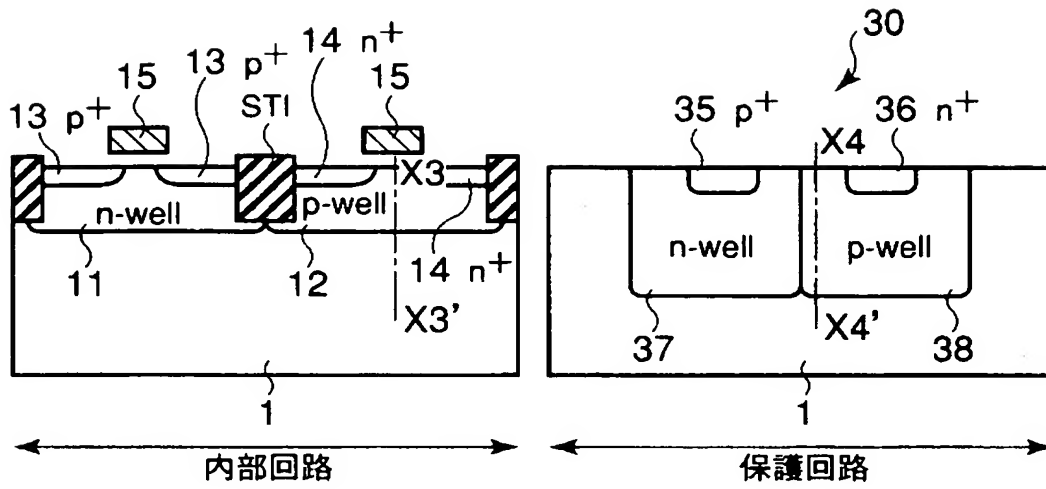
【図 3】



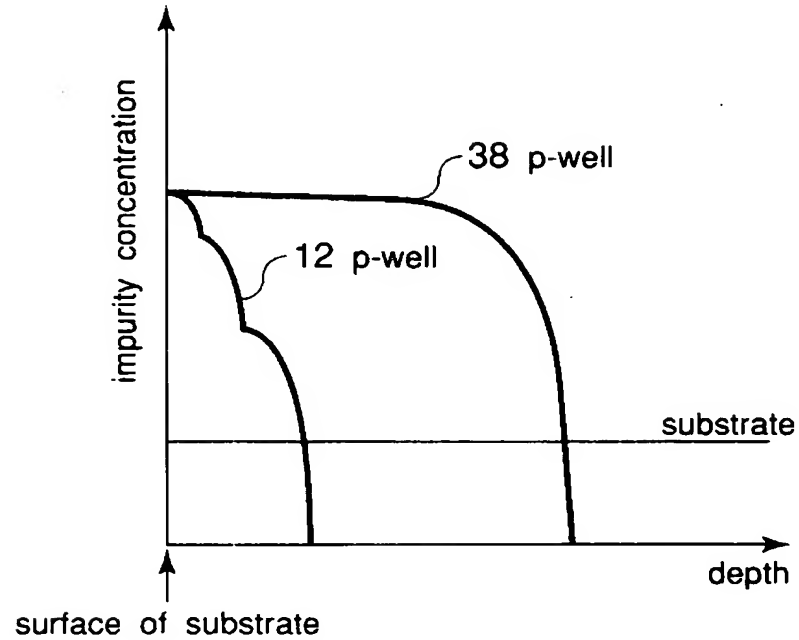
【図 4】



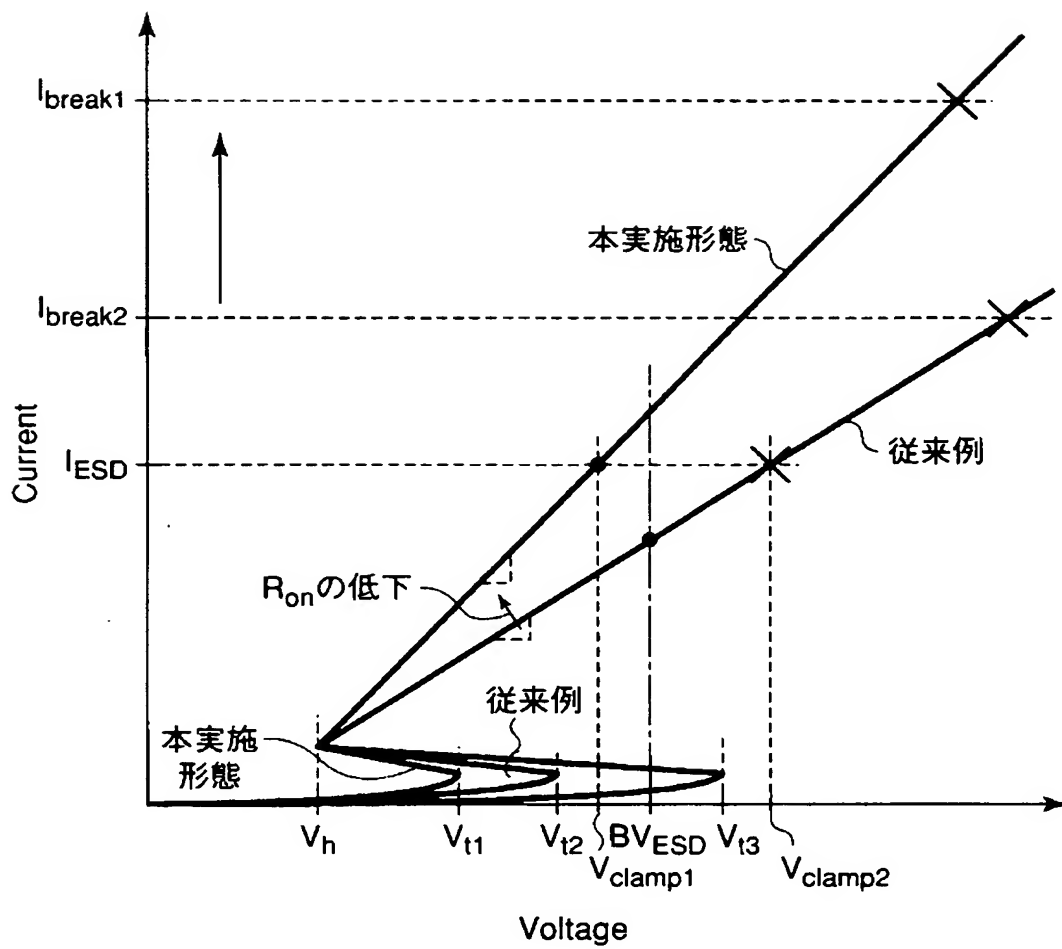
【図 5】



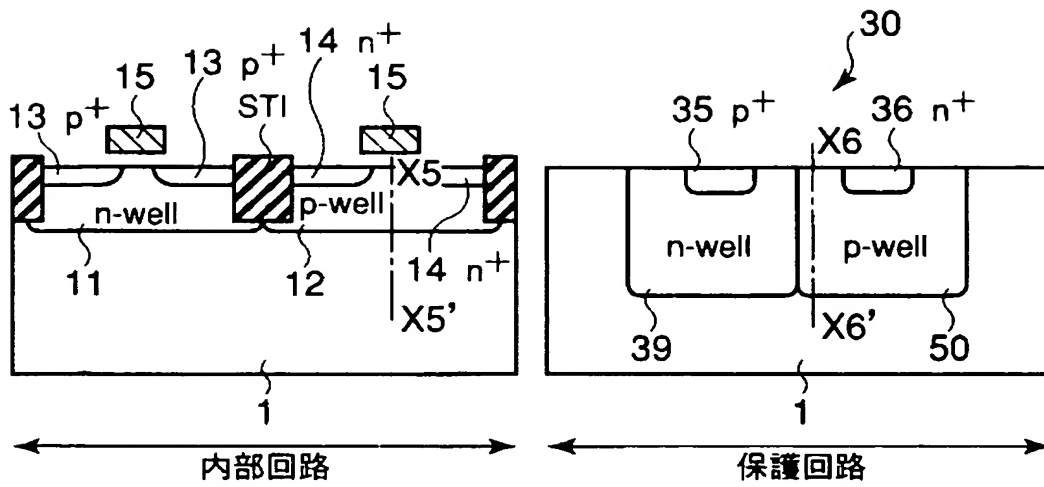
【図 6】



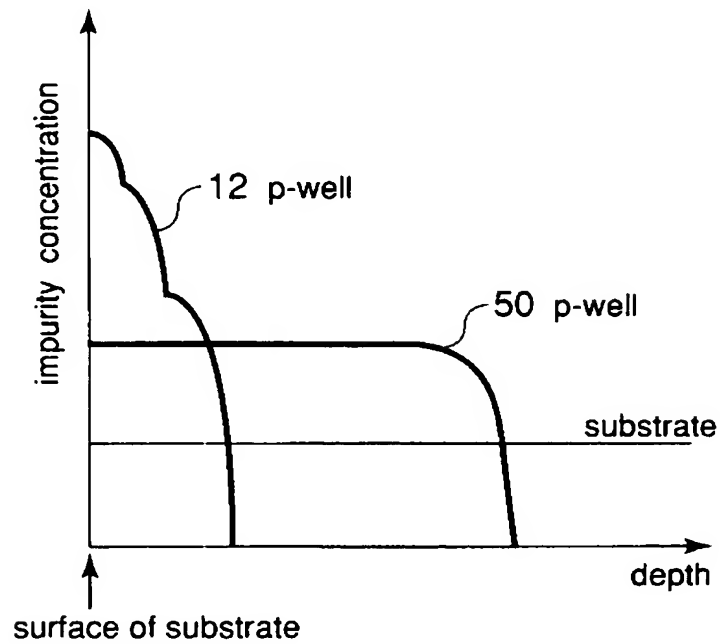
【図 7】



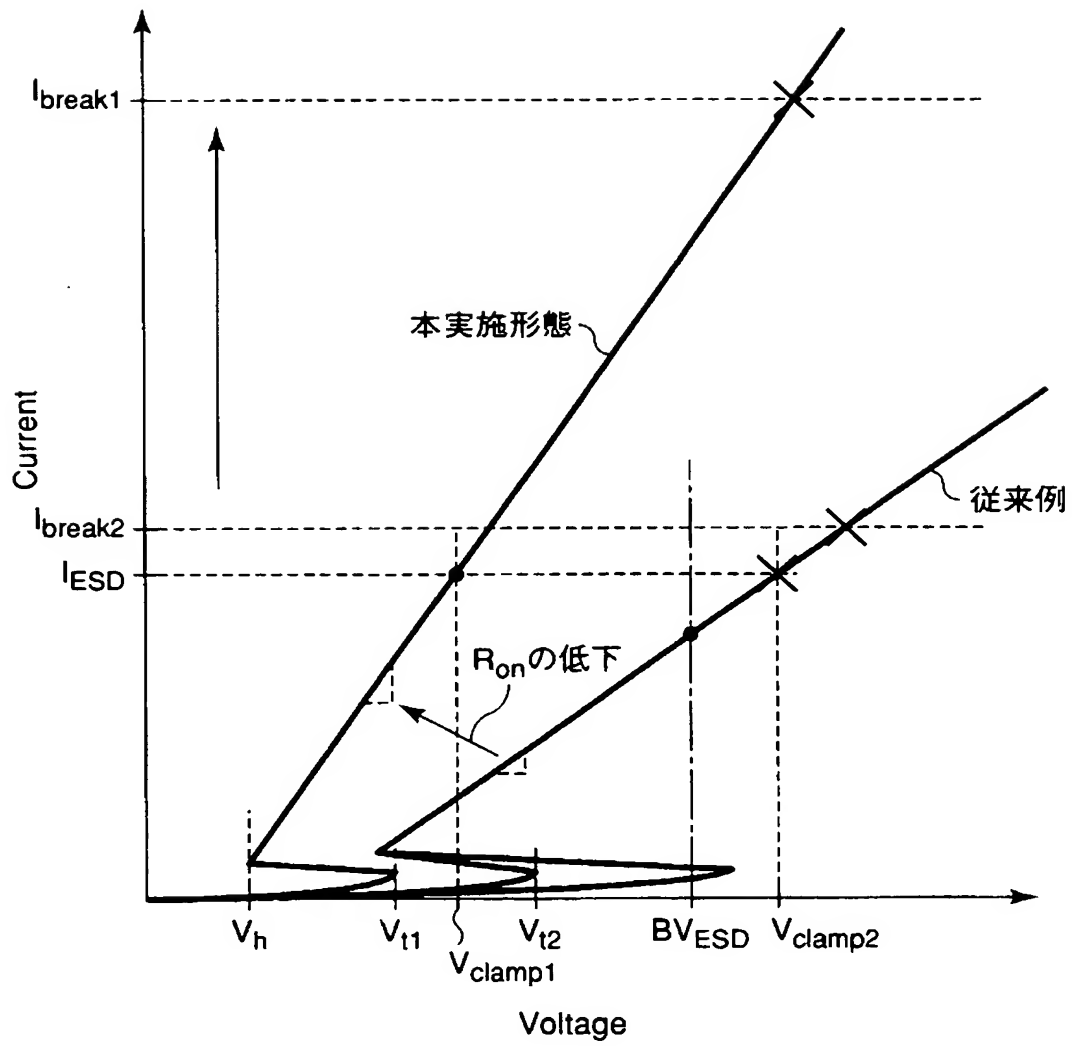
【図 8】



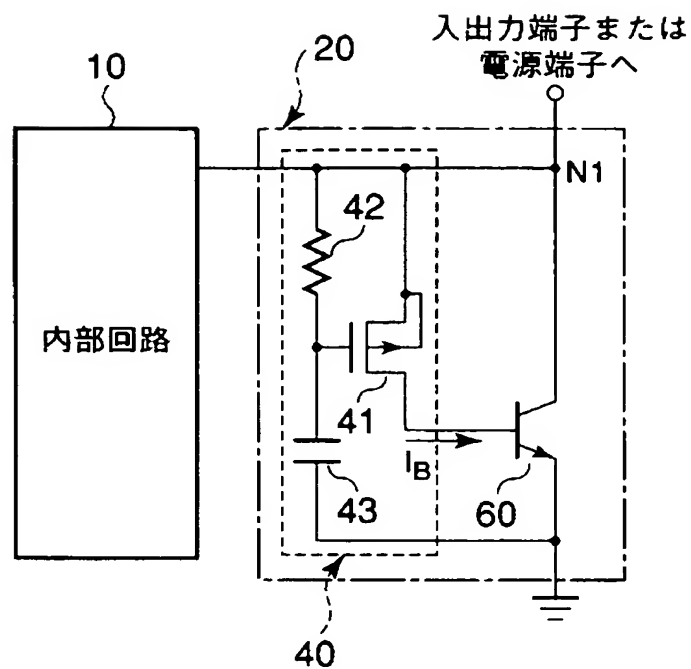
【図 9】



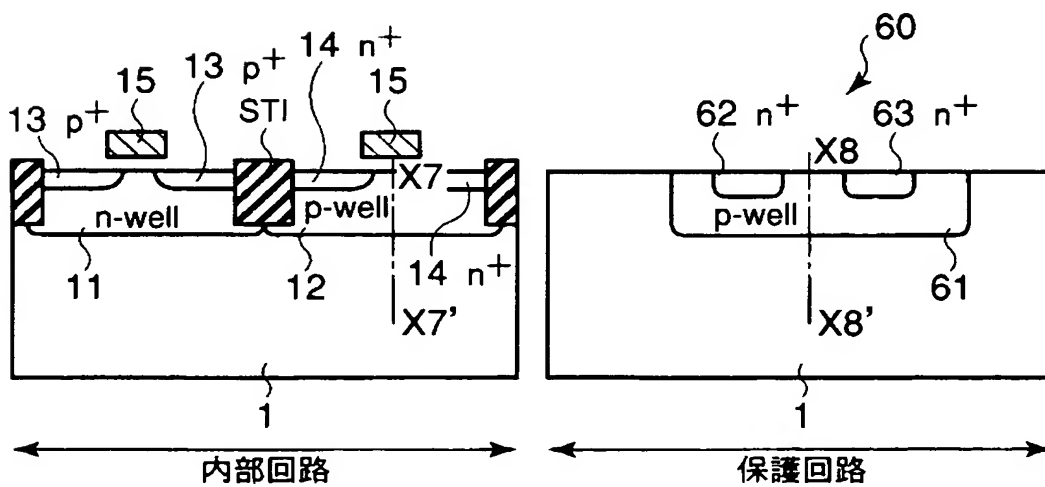
【図 10】



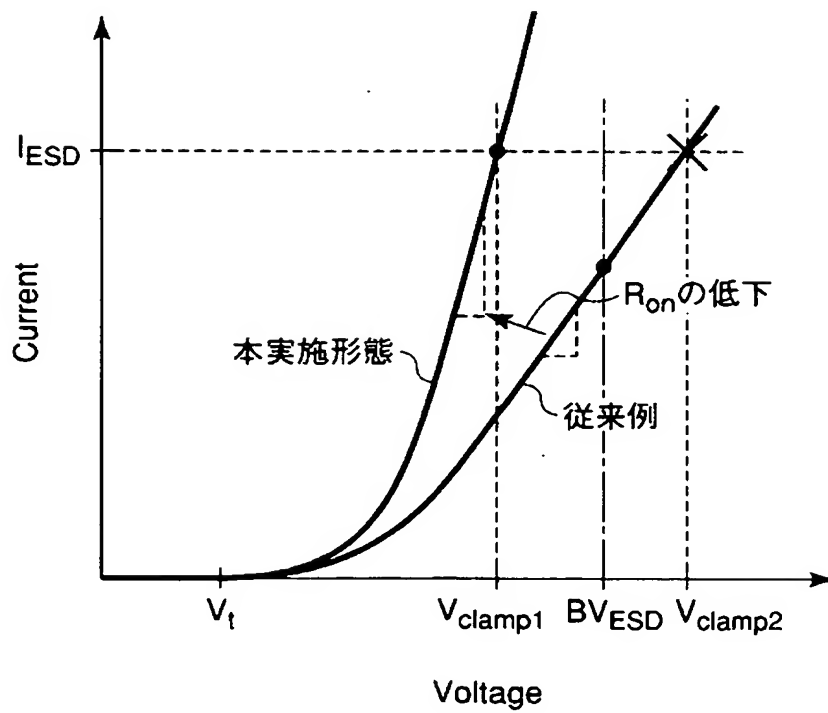
【図 11】



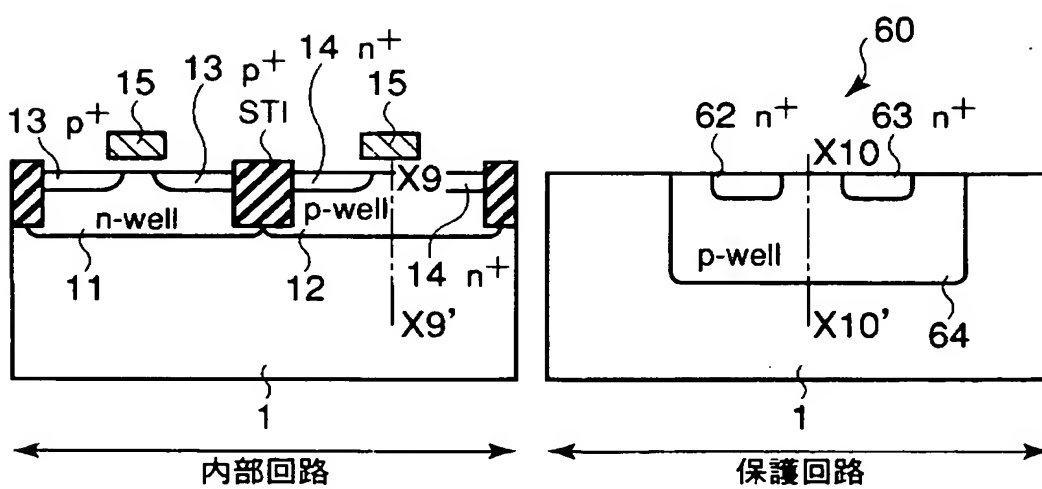
【図 12】



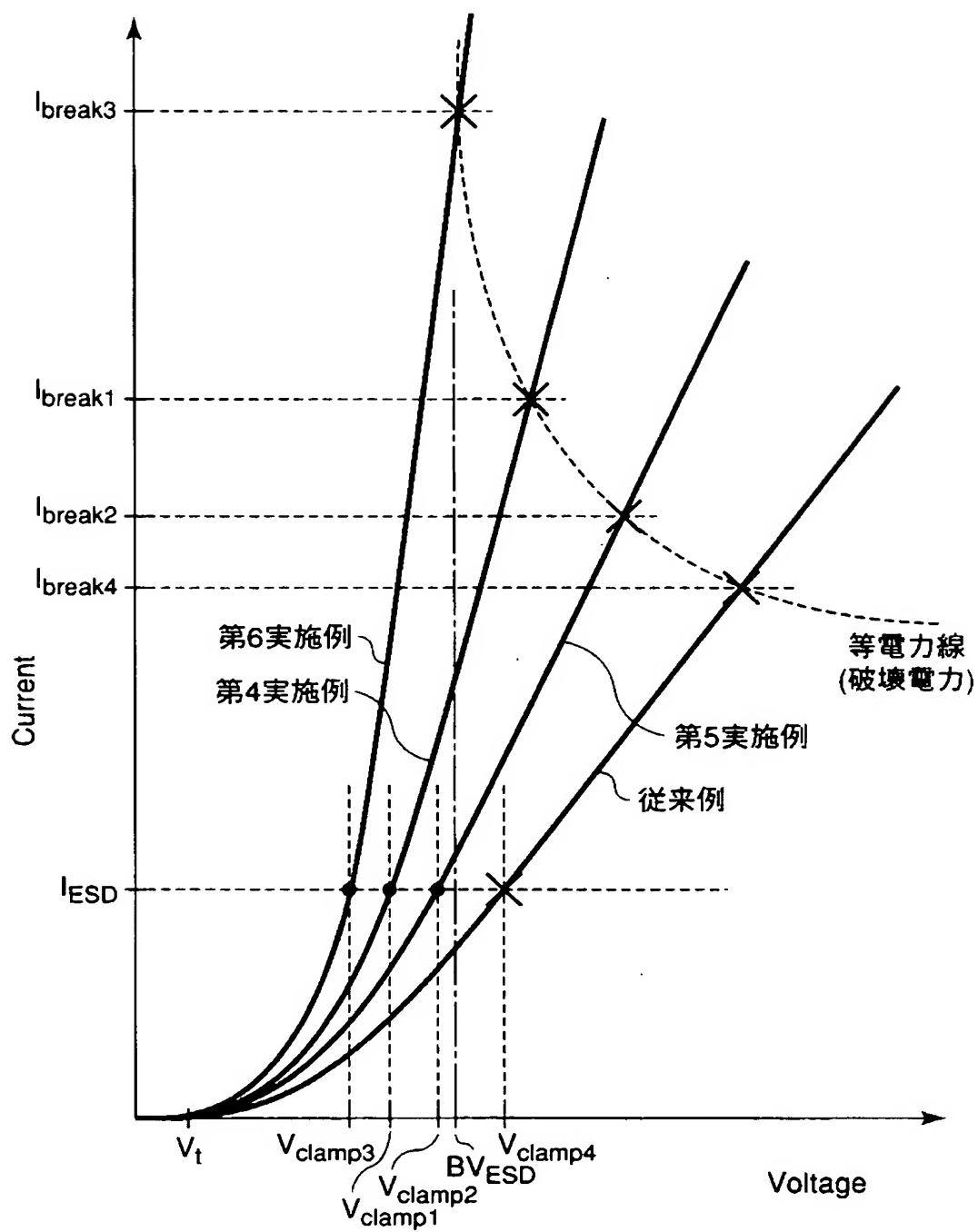
【図 13】



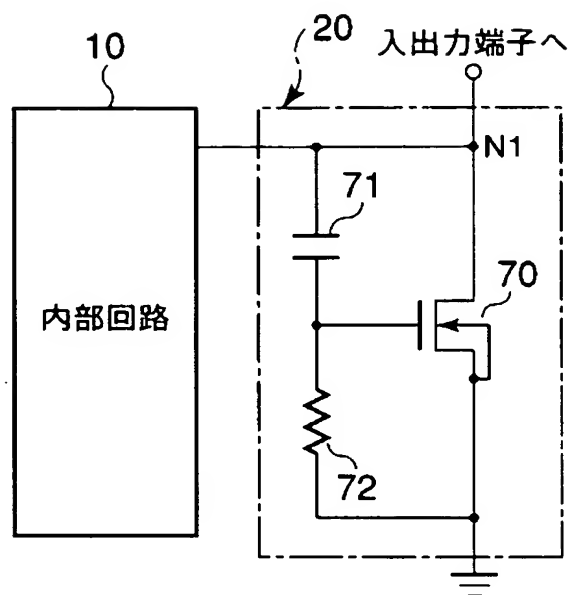
【図 14】



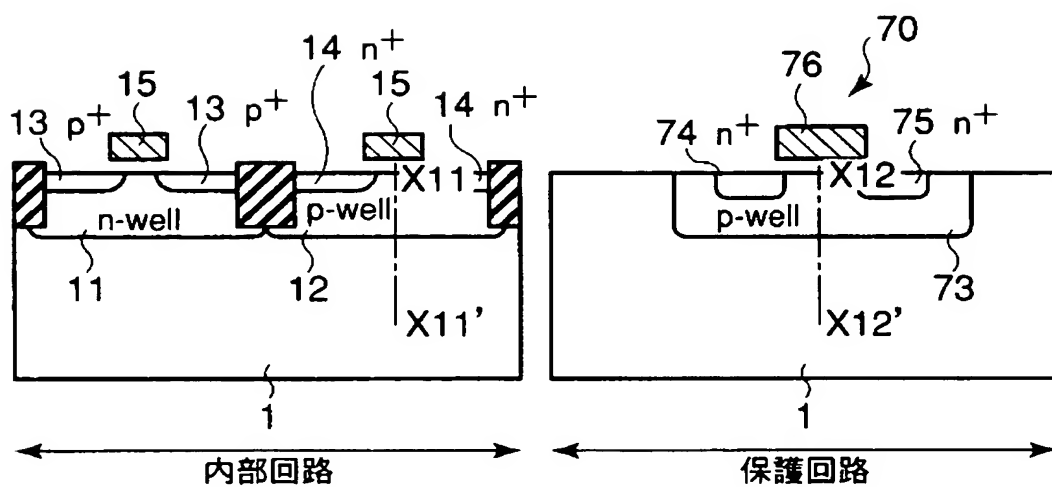
【図 15】



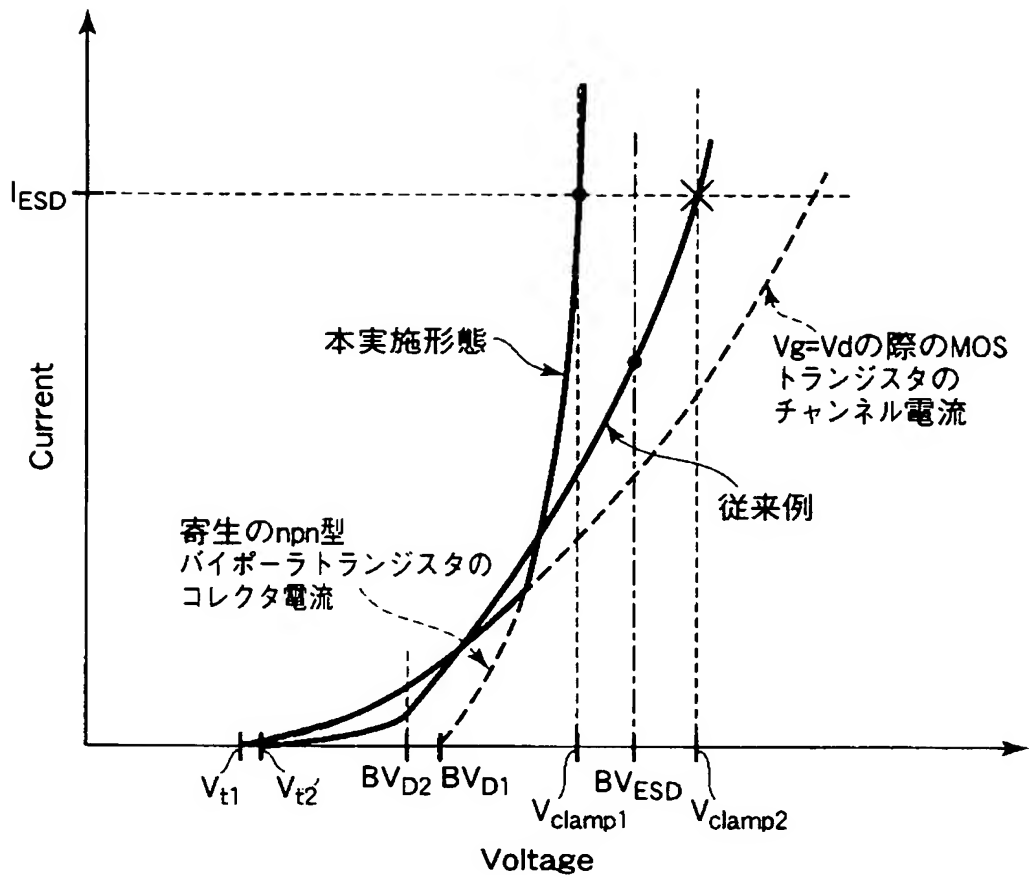
【図 16】



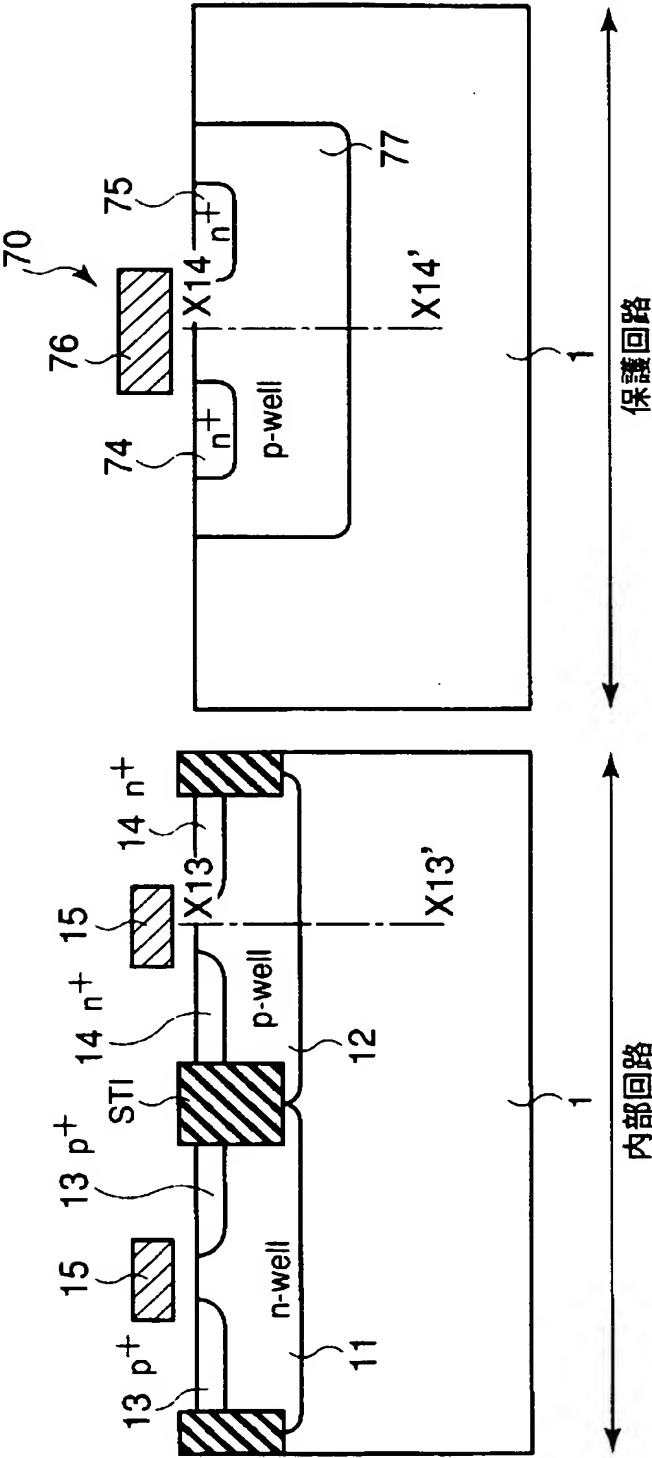
【図 17】



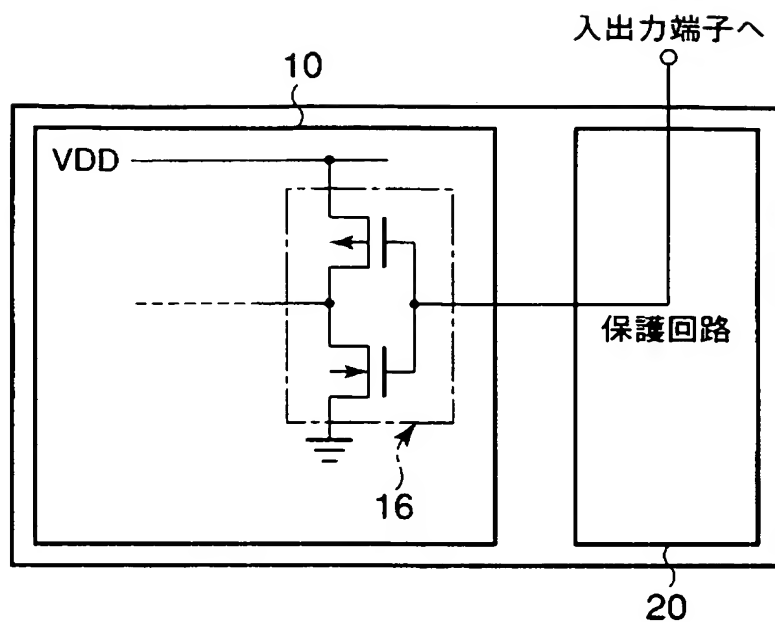
【図 18】



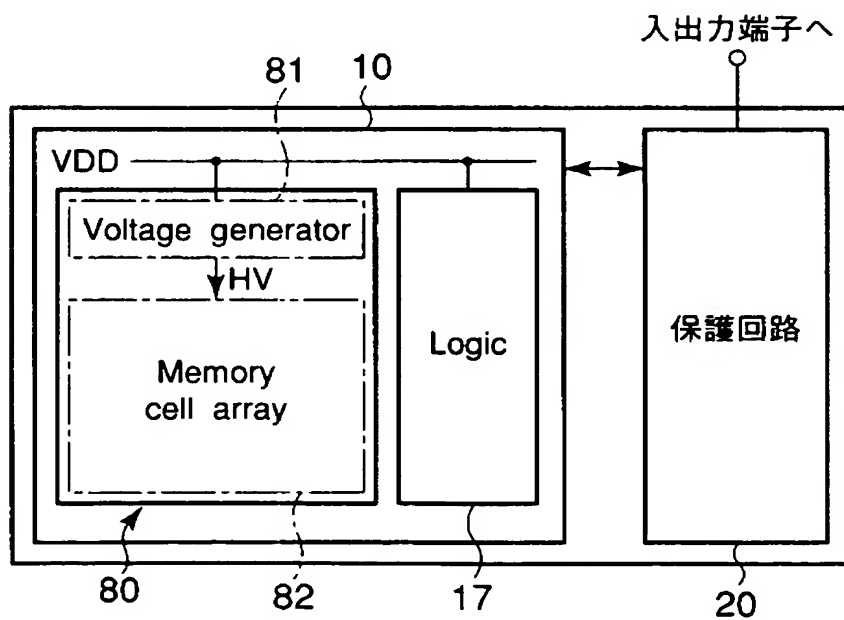
【図 19】



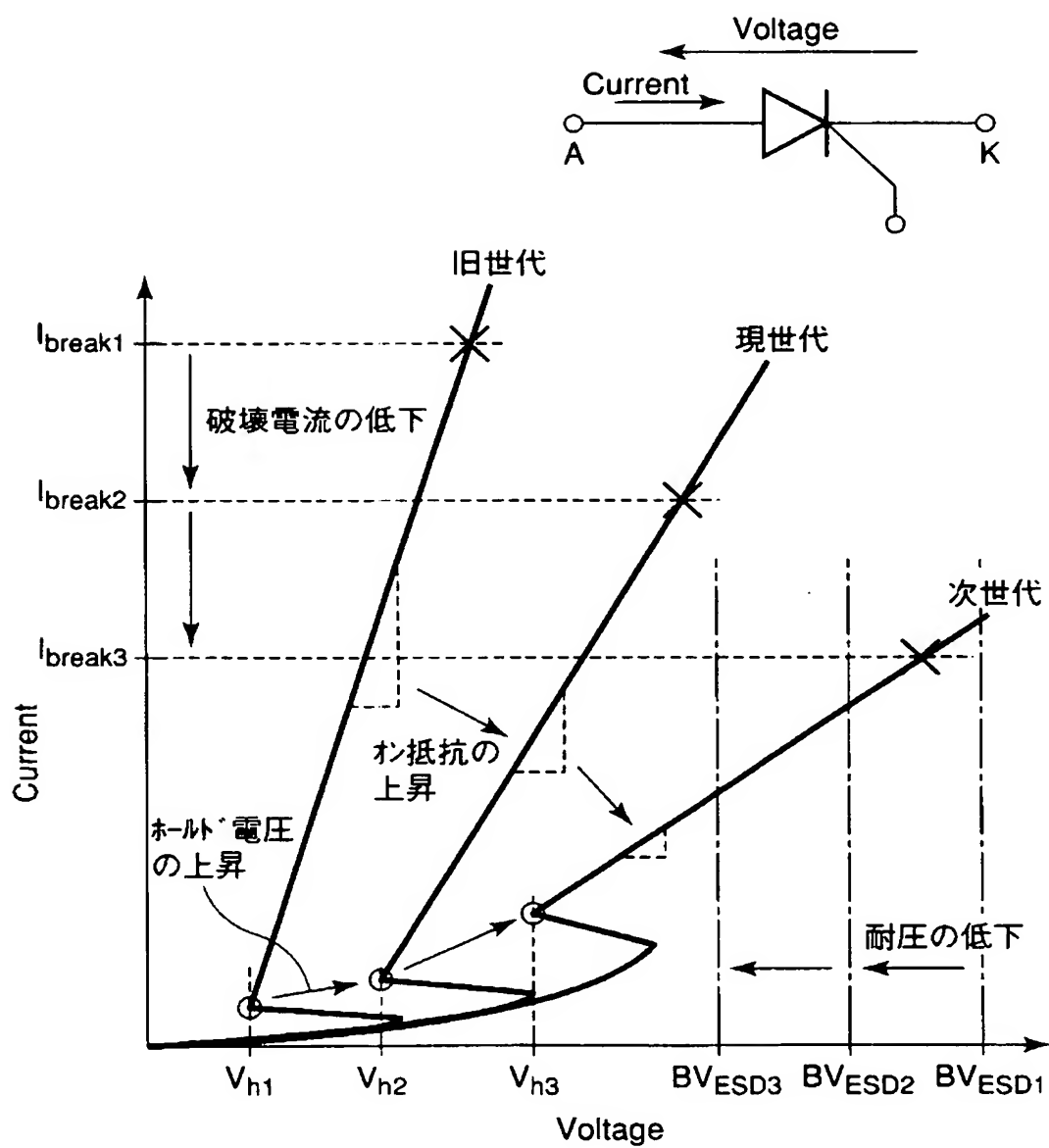
【図 20】



【図 21】



【図 22】



【書類名】 要約書

【要約】

【課題】 E S D 破壊に対する保護を信頼性良く行うことを可能とする半導体装置を提供すること。

【解決手段】 第 1 ウェル領域 1 1、1 2 と、前記第 1 ウェル領域 1 1、1 2 内に形成された第 1 半導体素子とを有する内部回路 1 0 と、前記第 1 ウェル領域 1 1、1 2 よりも不純物濃度が低い第 2 ウェル領域 3 3、3 4 と、前記第 2 ウェル領域 3 3、3 4 内に形成された第 2 半導体素子 3 0 とを有し、前記第 1 半導体素子を保護するための保護回路 2 0 とを具備することを特徴としている。

【選択図】 図 3



特願 2 0 0 3 - 1 1 0 4 6 1

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝